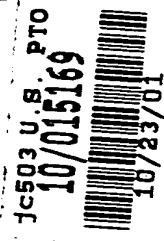


EXPRESS MAIL NO. EL 756 225 321 US

DATE OF DEPOSIT 10/23/01



Our File No. 9281-4195  
Client Reference No. CK US01026

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Ken Kawahata et al. )  
Serial No. To Be Assigned )  
Filing Date: Herewith )  
For: Shift Register Circuit Including First Shift )  
Register Having Plurality Of Stages )  
Connected In Cascade And Second Shift )  
Register Having More Stages )

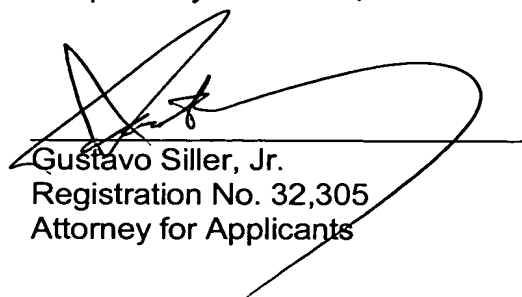
**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

Transmitted herewith is a certified copy of priority document Japanese Patent Application Nos. 2000-324496, filed October 24, 2000, and 2001-208160, filed July 9, 2001 for the above-named U.S. application.

Respectfully submitted,

  
Gustavo Siller, Jr.  
Registration No. 32,305  
Attorney for Applicants

BRINKS HOFER GILSON & LIONE  
P.O. BOX 10395  
CHICAGO, ILLINOIS 60610  
(312) 321-4200



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JCS93 U.S. PTO  
10/015169  
10/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月 9日

出 願 番 号

Application Number:

特願2001-208160

出 願 人

Applicant(s):

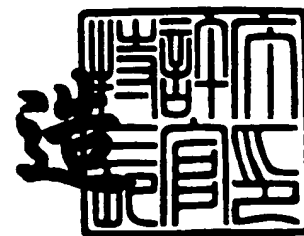
アルプス電気株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月31日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3079106

【書類名】 特許願

【整理番号】 J89478B1

【提出日】 平成13年 7月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明の名称】 シフトレジスタ回路、表示装置およびイメージセンサ

【請求項の数】 11

【発明者】

    【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会  
社内

    【氏名】 川畑 賢

【発明者】

    【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会  
社内

    【氏名】 山田 幸光

【特許出願人】

    【識別番号】 000010098

    【氏名又は名称】 アルプス電気株式会社

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100108578

    【弁理士】

    【氏名又は名称】 高橋 詔男

【選任した代理人】

    【識別番号】 100089037

    【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【先の出願に基づく優先権主張】

【出願番号】 特願2000-324496

【出願日】 平成12年10月24日

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704956

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトレジスタ回路、表示装置およびイメージセンサ

【特許請求の範囲】

【請求項 1】 縦続接続された複数の段を有する第 1 のシフトレジスタと、この第 1 のシフトレジスタより多くの段を有する第 2 のシフトレジスタとを有し、

前記第 2 のシフトレジスタが有する段は、連続する段によって構成されるグループに分けられ、

前記第 1 のシフトレジスタが有する各段は、第 2 のシフトレジスタ内の各グループを構成する段に、クロック信号として、互いに位相が異なる、所定パルス数のみ連続するパルス列を出力する

ことを特徴とするシフトレジスタ回路。

【請求項 2】 前記第 1 のシフトレジスタの入力端子には、有限のパルス数のみ連続するパルス列が入力される

ことを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 3】 前記第 1 のシフトレジスタは、双方向性シフトレジスタである

ことを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 4】 前記第 2 のシフトレジスタが、複数系列設けられていることを特徴とする請求項 2 に記載のシフトレジスタ回路。

【請求項 5】 前記第 2 のシフトレジスタが有する段の出力が、信号線と走査線とが交差した交差点付近にスイッチング素子が形成されたアクティブマトリクス回路の走査信号とされている

ことを特徴とする請求項 1 から 4 のいずれかに記載のシフトレジスタ回路。

【請求項 6】 前記アクティブマトリクス回路および第 2 のシフトレジスタに含まれる M I S トランジスタは、全て同一型の M I S トランジスタによって構成されている

ことを特徴とする請求項 5 に記載のシフトレジスタ回路。

【請求項 7】 前記アクティブマトリクス回路および第 2 のシフトレジスタ

に含まれるM I Sトランジスタは、全てアモルファスシリコンまたは多結晶シリコンを含む素材によって構成されている

ことを特徴とする請求項5に記載のシフトレジスタ回路。

【請求項8】 前記第2のシフトレジスタは、前記アクティブマトリクス回路と同一基板上に形成されている

ことを特徴とする請求項5に記載のシフトレジスタ。

【請求項9】 前記第2のシフトレジスタが有する各段は、端子として、  
n相（nは2以上の整数）のクロック信号を入力するクロック入力端子と、  
第2のシフトレジスタの入力端子または前段の出力端子から送られる信号を入力する入力端子と、

後段の入力端子または第2のシフトレジスタの出力端子へ送る信号を出力する出力端子と

のみを有し、

前記各段は、前記クロック入力端子のうちのいずれかから、各段の状態を初期化するための初期状態レベルを入力する

ことを特徴とする請求項2または4に記載のシフトレジスタ回路。

【請求項10】 請求項1から9のいずれかに記載のシフトレジスタ回路を備えたことを特徴とする表示装置。

【請求項11】 請求項1から9のいずれかに記載のシフトレジスタ回路を備えたことを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置やイメージセンサに用いるシフトレジスタ回路に関し、特に、シフトレジスタにクロック信号を供給する回路に関する。

【0002】

【従来の技術】

図19は、従来のシフトレジスタ回路の一例を示す回路図である。このシフトレジスタ回路は、複数の段F' 1、F' 2、F' 3、…、F' mが縦続接続され

た第1のシフトレジスタと、複数の段F 1、F 2、F 3、…、F nが縦続接続され、かつ、連続する3つの段が1つのグループを形成している第2のシフトレジスタとを有する。第2のシフトレジスタにおいては、例えば、段F 1、F 2、F 3が、1つのグループG r 1を形成している。

## 【0003】

第2のシフトレジスタには、ゲート回路G e 1、G e 2、G e 3、…、G e mを介して、3相のクロック信号 $\phi$  a、 $\phi$  b、 $\phi$  cが供給されるが、このクロック信号 $\phi$  a、 $\phi$  b、 $\phi$  cは、ゲート回路G e 1、G e 2、G e 3、…、G e mに、第1のシフトレジスタの出力S 1、S 2、S 3、…、S mが入力されることにより、第2のシフトレジスタの各グループに選択的に供給される。このような選択的なクロック信号の供給は、シフトレジスタ回路の消費電力を低減させるためである。第2のシフトレジスタの出力G 1、G 2、G 3、…、G nは、表示装置等の駆動に用いられる。

## 【0004】

図20は、上記シフトレジスタ回路の動作を説明するためのタイミングチャートである。第1のシフトレジスタの初段F' 1にスタートパルスS P'が入力されると、このパルスが、順次、次の段に伝達されて、まず信号S 1が出力され、次に信号S 2が出力され、さらに、次段以降からも、順次、信号S 3、S 4、…、S mが出力される。これらの信号S 1、S 2、S 3、…、S mが、それぞれ、ゲート回路G e 1、G e 2、G e 3、…、G e mに入力され、これらのゲート回路G e 1、G e 2、G e 3、…、G e mは、信号S 1、S 2、S 3、…、S mに応じて、3相のクロック信号 $\phi$  a、 $\phi$  b、 $\phi$  cのパルス列の中から、必要なパルスを選択する。例えば、ゲート回路G e 1は、クロック信号 $\phi$  1 a、 $\phi$  1 b、 $\phi$  1 cを選択し、ゲート回路G e 2は、クロック信号 $\phi$  2 a、 $\phi$  2 b、 $\phi$  2 cを選択する。

## 【0005】

ゲート回路G e 1、G e 2、G e 3、…、G e mが選択したクロック信号は、それぞれ、第2のシフトレジスタの各グループに供給される。例えば、ゲート回路G e 1が選択したクロック信号 $\phi$  1 a、 $\phi$  1 b、 $\phi$  1 cは、グループG r 1に

供給され、グループGr 1内の段F 1、F 2、F 3に入力される。これと共に、第2のシフトレジスタの初段であるF 1に、スタートパルスSPが入力される。すると、第2のシフトレジスタの段F 1、F 2、F 3から、順次、信号G 1、G 2、G 3が出力され、段F 4以降からも、同様に、信号G 4、G 5、G 6、…、G nが出力される。

## 【0006】

## 【発明が解決しようとする課題】

しかし、上記の従来技術には、次のような問題がある。すなわち、上記の従来技術においては、第1のシフトレジスタの出力S 1、S 2、S 3、…、S mをゲート回路Ge 1、Ge 2、Ge 3、…、Ge mに供給し、これらのゲート回路Ge 1、Ge 2、Ge 3、…、Ge mが、クロック信号 $\phi$  a、 $\phi$  b、 $\phi$  cを、第2のシフトレジスタのグループ毎に選択する。従って、第1のシフトレジスタと第2のシフトレジスタの間に、ゲート回路Ge 1、Ge 2、Ge 3、…、Ge mを介在させる必要があり、これにより、シフトレジスタ回路の回路規模が大きくなるという問題がある。

## 【0007】

また、表示装置と同一の基板（ガラス基板）上に、ゲート回路Ge 1、Ge 2、Ge 3、…、Ge mおよび第2のシフトレジスタを形成しようとする、これらのゲート回路および第2のシフトレジスタ内のトランジスタは、アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されることになる。アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されたトランジスタに、常に電圧が印加されると、電圧ストレスによりトランジスタの特性劣化が引き起こされ、このトランジスタの信頼性が低下する場合がある。従って、このようなトランジスタには、極力電圧を印加しないことが重要である。上記の従来技術においては、ゲート回路Ge 1、Ge 2、Ge 3、…、Ge mが、常時、稼働状態となるので、これらのゲート回路内のトランジスタに、常に電圧が印加され、この電圧ストレスにより、トランジスタの信頼性が低下する場合がある。

## 【0008】

本発明は、上記の問題を解決するためになされたもので、第2のシフトレジス



タに選択的にクロック信号を供給し、消費電力を低減させると共に、回路規模も小さく、また、トランジスタの信頼性が低下することもないシフトレジスタ回路、表示装置およびイメージセンサを提供するものである。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

本発明のシフトレジスタ回路は、縦続接続された複数の段を有する第1のシフトレジスタと、この第1のシフトレジスタより多くの段を有する第2のシフトレジスタとを有し、前記第2のシフトレジスタが有する段は、連続する段によって構成されるグループに分けられ、前記第1のシフトレジスタが有する各段は、第2のシフトレジスタ内の各グループを構成する段に、クロック信号として、互いに位相が異なる、所定パルス数のみ連続するパルス列を出力することを特徴とする。

前記第1のシフトレジスタの入力端子には、有限のパルス数のみ連続するパルス列が入力されることが好ましい。

また、前記第1のシフトレジスタは、双方向性シフトレジスタであることが好ましい。

## 【 0 0 1 0 】

上記構成によれば、第2のシフトレジスタにおける必要な段にのみクロック信号が供給され、低消費電力化が実現されると共に、第1のシフトレジスタが有する段の出力が、直接、第2のシフトレジスタに入力され、第1のシフトレジスタと第2のシフトレジスタとの間にゲート回路を介在させる必要がないので、シフトレジスタ回路全体での回路規模を小さくすることができる。

また、上記構成によれば、第2のシフトレジスタのグループ内の段が有するクロック入力端子が一系統にまとめられ、従って、各グループが一組のクロック入力端子をもつことになるので、第2のシフトレジスタのためのクロック信号の配線が、第2のシフトレジスタの全域に引き回されることがなくなる。これにより、第2のシフトレジスタ内のクロック信号の配線が短くなるので、配線容量や配線抵抗によるクロック信号の遅延を減らすことができる。

## 【 0 0 1 1 】

前記第2のシフトレジスタは、複数系列設けられていることが好ましい。

上記構成によれば、複数系列設けられた第2のシフトレジスタが有する段の出力で、表示装置における奇数フィールドおよび偶数フィールドを駆動することができるので、上記のシフトレジスタ回路をインターレース駆動に用いることができる。また、奇数フィールドと偶数フィールドを切り替えるためにゲート回路を設ける必要がないので、回路規模を小さくすることができる。

#### 【0012】

前記第2のシフトレジスタが有する段の出力は、信号線と走査線とが交差した交差点付近にスイッチング素子が形成されたアクティブマトリクス回路の走査信号とされていることが好ましい。

第2のシフトレジスタが有する段の出力がアクティブマトリクス回路の走査信号とされれば、すなわちアクティブマトリクス回路のゲートドライバまたはソースドライバを上記のシフトレジスタ回路で構成すれば、ゲートドライバまたはソースドライバの回路規模を小さくすることができる。

#### 【0013】

前記アクティブマトリクス回路および第2のシフトレジスタに含まれるMISトランジスタは、全て同一型のMISトランジスタによって構成されていることが好ましい。

上記構成によれば、アクティブマトリクス回路および第2のシフトレジスタに含まれるMISトランジスタが、同一型のMISトランジスタによって構成されるので、製造プロセスが簡単になる。

#### 【0014】

前記アクティブマトリクス回路および第2のシフトレジスタに含まれるMISトランジスタは、全てアモルファスシリコンまたは多結晶シリコンを含む素材によって構成されていることが好ましい。

アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されたMISトランジスタに、常に電圧が印加されると、このMISトランジスタの信頼性が低下する場合がある。上記構成によれば、第2のシフトレジスタに含まれるMISトランジスタには、ほとんどの期間、電圧が印加されないで、信頼性低

下の問題が起きない。

【 0 0 1 5 】

前記第 2 のシフトレジスタは、前記アクティブマトリクス回路と同一基板上に形成されていることが好ましい。

第 2 のシフトレジスタと、アクティブマトリクス回路とを同一基板上に形成すれば、第 2 のシフトレジスタとアクティブマトリクス回路との間の配線を短くすることができる。同一基板上に形成するということは、同一の製造プロセスで M I S トランジスタを形成することになるので、第 2 のシフトレジスタとアクティブマトリクス回路の M I S トランジスタは同一型となり、素材も同じになる。

また、アクティブマトリクス回路（具体的には、表示装置等）は、一般にサイズが大きい。従って、第 2 のシフトレジスタと、アクティブマトリクス回路とを同一基板上に形成すれば、アクティブマトリクス回路のサイズに合わせて、第 2 のシフトレジスタのためのクロック信号の配線を長く引き回さなければならない。このとき、上記構成によれば、第 2 のシフトレジスタ内のクロック信号の配線が短くなるので、配線容量や配線抵抗によるクロック信号の遅延を減らすことができる。または、第 2 のシフトレジスタ内のクロック信号の配線が短くなるので、その分、この配線の線幅を縮小することができる。その結果、アクティブマトリクス回路が表示装置である場合には、表示部として用いることができない無効エリア（額縁の部分）を小さくすることができる。

【 0 0 1 6 】

前記第 2 のシフトレジスタが有する各段は、端子として、 $n$  相（ $n$  は 2 以上の整数）のクロック信号を入力するクロック入力端子と、第 2 のシフトレジスタの入力端子または前段の出力端子から送られる信号を入力する入力端子と、後段の入力端子または第 2 のシフトレジスタの出力端子へ送る信号を出力する出力端子とのみを有し、前記各段は、前記クロック入力端子のうちのいずれかから、各段の状態を初期化するための初期状態レベルを入力することが好ましい。

上記構成によれば、第 2 のシフトレジスタの各段の状態を初期化するための初期状態レベルが、クロック入力端子のうちのいずれかから入力されるので、初期状態レベルを供給するためだけの配線（例えば、接地ライン）が不要になる。従

って、第2のシフトレジスタに接続される配線が少なくなり、配線に必要な面積を小さくすることができる。

また、アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されたMISトランジスタに、常に同じ向きに電圧が印加されると、このMISトランジスタの信頼性が低下する場合がある。MISトランジスタに、常に初期状態レベルに固定された配線からではなく、電位が時々刻々変動するクロック入力端子のうちのいずれかから、初期状態レベルが入力されれば、このMISトランジスタに印加される電圧の向きが、時々刻々変動し、同じ向きに固定されない。従って、このMISトランジスタの信頼性が向上する。

#### 【0017】

本発明の表示装置またはイメージセンサは、上記のシフトレジスタ回路を備えることを特徴とする。

#### 【0018】

##### 【発明の実施の形態】

図1は、本発明の第1の実施形態におけるシフトレジスタ回路の構成図である。このシフトレジスタ回路は、複数の段 $F'1$ 、 $F'2$ 、 $F'3$ 、 $\dots$ 、 $F'm$ が縦続接続された第1のシフトレジスタと、複数の段 $F1$ 、 $F2$ 、 $F3$ 、 $\dots$ 、 $Fn$ が縦続接続され、かつ、連続する6つの段が1つのグループを形成している第2のシフトレジスタとを有する。第2のシフトレジスタにおいては、例えば、段 $F1 \sim F6$ がグループ $Gr1$ を形成しており、段 $F7 \sim F12$ がグループ $Gr2$ を形成している。

#### 【0019】

第2のシフトレジスタの各グループには、第1のシフトレジスタ内の連続する3つの段の出力端子から、3相のクロック信号が供給される。例えば、第2のシフトレジスタのグループ $Gr1$ には、第1のシフトレジスタ内の連続する3つの段 $F'1$ 、 $F'2$ 、 $F'3$ から出力されるクロック信号 $S1$ 、 $S2$ 、 $S3$ が供給され、グループ $Gr2$ には、段 $F'4$ 、 $F'5$ 、 $F'6$ から出力されるクロック信号 $S4$ 、 $S5$ 、 $S6$ が供給される。

#### 【0020】

1つのグループ内の各段が有する3つのクロック入力端子は、同相のものどうしが全て接続され、1つのグループに1組(3つ)設けられたクロック入力端子に接続されている。例えば、グループGr1内の各段が有する3つのクロック入力端子は、それぞれクロック信号ラインL1、L2、L3に接続され、これらのクロック信号ラインL1、L2、L3は、グループGr1に1組設けられたクロック入力端子T1、T2、T3に接続されている。クロック信号ラインL1、L2、L3は、他のグループのクロック信号ライン(例えば、グループGr2のクロック信号ラインL4、L5、L6)とは接続されていない。従って、1つのグループ内にあるクロック信号ラインが、第2のシフトレジスタ全体に引き回されることはない。

## 【0021】

グループ内のクロック信号ライン(例えば、グループGr1内のクロック信号ラインL1、L2、L3)は、具体的には、TF T基板(ガラス基板)上に形成される配線なので、配線抵抗が大きい。これに対し、第1のシフトレジスタから、第2のシフトレジスタの各グループに1組設けられたクロック入力端子(例えば、グループGr1に1組設けられたクロック入力端子T1、T2、T3)までの配線は、TCPにおける配線になるので、低抵抗配線材料を用いることができる。従って、配線抵抗によるクロック信号の遅延を少なくすることができる。

## 【0022】

図2は、上記シフトレジスタ回路の動作を説明するためのタイミングチャートである。第1のシフトレジスタの初段F'1には、4パルスのみが連続するスタートパルスSP'が入力される。このパルスが、順次、次の段に送られ、第1のシフトレジスタの各段F'1、F'2、F'3、…、F'mから、4パルスのみが連続するクロック信号S1、S2、S3、…、Smが、異なる位相で出力される。クロック信号S1、S2、S3、…、Smは、第2のシフトレジスタにおける各グループに供給される。例えば、クロック信号S1、S2、S3は、第2のシフトレジスタにおけるグループGr1に供給され、クロック信号S4、S5、S6は、第2のシフトレジスタにおけるグループGr2に供給される。

## 【0023】

第2のシフトレジスタのグループG<sub>r1</sub>に供給されたクロック信号S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>は、グループG<sub>r1</sub>内の段F<sub>1</sub>～F<sub>6</sub>を駆動し、初段F<sub>1</sub>に1パルスのみ入力されるスタートパルスSPを、順次、次の段に送る。さらに、第2のシフトレジスタのグループG<sub>r2</sub>に供給されたクロック信号S<sub>4</sub>、S<sub>5</sub>、S<sub>6</sub>は、グループG<sub>r2</sub>内の段F<sub>7</sub>～F<sub>12</sub>を駆動し、このグループG<sub>r2</sub>の初段F<sub>7</sub>に入力される、グループG<sub>r1</sub>の最後段F<sub>6</sub>から出力された信号G<sub>6</sub>を、順次、次の段に送る。このような動作が、信号（パルス）が第2のシフトレジスタの最後段F<sub>n</sub>に到達するまで繰り返される。

## 【0024】

第1のシフトレジスタの各段を、4パルスが連続する信号が通過した後は、各段が出力するクロック信号は全てLowレベルに固定される。例えば、4パルスが連続する信号が、第1のシフトレジスタの段F'<sub>1</sub>～F'<sub>3</sub>を通過した後は、段F'<sub>1</sub>～F'<sub>3</sub>が出力するクロック信号S<sub>1</sub>～S<sub>3</sub>は全てLowレベルに固定される。これと共に、クロック信号S<sub>1</sub>～S<sub>3</sub>を入力している第2のシフトレジスタのグループG<sub>r1</sub>内の段F<sub>1</sub>～F<sub>6</sub>においても、既にパルスが通過しているので、段F<sub>1</sub>～F<sub>6</sub>が出力する信号G<sub>1</sub>～G<sub>6</sub>は全てLowレベルに固定される。すなわち、パルスが通過した不要な段は休止状態とされるので、シフトレジスタ回路の消費電力が節約される。

## 【0025】

なお、例えば、クロック信号S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>に含まれるパルスにおいて、第2のシフトレジスタのグループG<sub>r1</sub>の動作に必要なパルス、およびクロック信号S<sub>4</sub>、S<sub>5</sub>、S<sub>6</sub>に含まれるパルスにおいて、第2のシフトレジスタのグループG<sub>r2</sub>の動作に必要なパルスは、タイミングチャート中の波線で囲まれたパルスのみである。ただし、これ以外のパルスも、第2のシフトレジスタの動作に悪影響を与えることはない。

## 【0026】

図3は、上記実施形態におけるシフトレジスタ回路を、表示装置のクロック発生回路およびゲートドライバとして用いた例の構成図である。この表示装置においては、TFT基板（ガラス基板）1上に表示エリア2が形成され、この表示エ

リア 2 の横に、この表示エリア 2 内の走査線 2 a を駆動するゲートドライバ（第 2 のシフトレジスタ）3 が形成されている。すなわち、表示エリア 2 と、ゲートドライバ（第 2 のシフトレジスタ）3 とは、同一の T F T 基板（ガラス基板）1 上に、同一の製造プロセスで形成される。従って、表示エリア 2 内の走査線 2 a と信号線 2 b との交点に形成される M I S トランジスタ 2 c と、ゲートドライバ（第 2 のシフトレジスタ）3 内の M I S トランジスタとは、同一型（例えば、N チャネルトランジスタ）となる。また、M I S トランジスタの素材も同一となり、ガラス基板上に形成されるので、アモルファスシリコンまたは多結晶シリコンを含む素材によって構成される。

## 【 0 0 2 7 】

T F T 基板（ガラス基板）1 上に形成されたゲートドライバ（第 2 のシフトレジスタ）3 には、T C P 4 上に設けられたクロック発生回路（第 1 のシフトレジスタ）4 a からクロック信号 S 1、S 2、S 3、…、S m が供給される。また、ソースドライバ 5 は、表示エリア 2 内の信号線 2 b を駆動する。なお、上記実施形態における第 2 のシフトレジスタを、表示装置のソースドライバとして用いることも可能である。

## 【 0 0 2 8 】

例えば、上記表示装置が、6 インチ V G A パネルだとすると、走査線 2 a を駆動するゲートドライバ（第 2 のシフトレジスタ）3 の段数は 4 8 0 段になる。上記実施形態においては、第 2 のシフトレジスタ内の段が、6 段ずつのグループに分けられるので、4 8 0 段を 6 段ずつのグループに分けると、8 0 のグループに分けられる。従って、各グループ内のクロック信号ラインの長さは、グループ分けをしない場合と較べて  $1/80$  になり、各グループ内のクロック信号ラインの配線容量および配線抵抗も  $1/80$  になる。クロック信号の遅延量は、単純計算では、配線容量×配線抵抗によって決まるので、 $1/6400$  になる。

## 【 0 0 2 9 】

図 4 は、本発明の第 2 の実施形態におけるシフトレジスタ回路の構成図である。以下、この図を参照し、本実施形態の構成を説明するが、第 1 の実施形態と同一の構成には同一の符号を付し、その説明を省略するものとする。本実施形態の

シフトレジスタ回路は、奇数フィールドと偶数フィールドとをもつインターレース方式の表示装置に用いられる。このため、第1の実施形態における第2のシフトレジスタが2系統設けられている。以下、これらのシフトレジスタを、第2のシフトレジスタおよび第3のシフトレジスタと呼ぶ。第2のシフトレジスタと第3のシフトレジスタの構成は同一であり、第2のシフトレジスタは、奇数フィールド用で、段F O 1、F O 2、F O 3、…を有し、第3のシフトレジスタは、偶数フィールド用で、段F E 1、F E 2、F E 3、…を有する。

## 【 0 0 3 0 】

第2のシフトレジスタおよび第3のシフトレジスタが有する段は、各シフトレジスタにおける連続する3つの段、合計で6つの段が1つのグループを形成している。例えば、第2のシフトレジスタが有する段F O 1、F O 2、F O 3と、第3のシフトレジスタが有する段F E 1、F E 2、F E 3との合計6つの段が、グループG r 1を形成しており、第2のシフトレジスタが有する段F O 4、F O 5、F O 6と、第3のシフトレジスタが有する段F E 4、F E 5、F E 6との合計6つの段が、グループG r 2を形成している。

## 【 0 0 3 1 】

図5は、上記シフトレジスタ回路の動作を説明するためのタイミングチャートである。第1のシフトレジスタの初段F' 1には、2パルスのみが連続するスタートパルスS P' が入力される。このパルスが、順次、次の段に送られ、第1のシフトレジスタの各段F' 1、F' 2、F' 3、…から、2パルスのみが連続するクロック信号S 1、S 2、S 3、…が、異なる位相で出力される。クロック信号S 1、S 2、S 3、…は、第2のシフトレジスタおよび第3のシフトレジスタにおける各グループに供給される。例えば、クロック信号S 1、S 2、S 3は、第2のシフトレジスタおよび第3のシフトレジスタにおけるグループG r 1に供給され、クロック信号S 4、S 5、S 6は、グループG r 2に供給される。

## 【 0 0 3 2 】

グループG r 1に供給されたクロック信号S 1、S 2、S 3は、グループG r 1内の段F O 1～F O 3および段F E 1～F E 3を駆動する。第2のシフトレジスタの初段F O 1には、1パルスのみスタートパルスS P Oが入力され、第3



のシフトレジスタの初段 F E 1 には、スタートパルス S P O とはタイミングが異なるが、やはり 1 パルスのみスタートパルス S P E が入力される。これにより、第 2 のシフトレジスタからは、奇数フィールド用の信号 G O 1、G O 2、G O 3、…が出力され、第 3 のシフトレジスタからは、前記奇数フィールド用の信号とはタイミングが異なる、偶数フィールド用の信号 G E 1、G E 2、G E 3、…が出力される。これ以後の段についても同様の動作が行われる。

## 【 0 0 3 3 】

本実施形態においても、第 1 のシフトレジスタの各段を、2 パルスが連続する信号が通過した後は、段が出力するクロック信号は全て L o w レベルに固定される。これと共に、クロック信号を入力している第 2 のシフトレジスタおよび第 3 のシフトレジスタにおいても、パルス通過後は、各段が出力する信号が全て L o w レベルに固定される。すなわち、パルスが通過した不要な段は休止状態とされるので、シフトレジスタ回路の消費電力が節約される。

## 【 0 0 3 4 】

図 6 は、本発明の第 3 の実施形態におけるシフトレジスタ回路の構成図である。以下、この図を参照し、本実施形態の構成を説明するが、第 1 の実施形態と同一の構成には同一の符号を付し、その説明を省略するものとする。本実施形態のシフトレジスタ回路においては、段 F 1、F 2、F 3、…、F n によって構成される第 2 のシフトレジスタの各グループ内に、4 本のクロック信号ラインが設けられている。例えば、第 2 のシフトレジスタの段 F 1 ~ F 6 で構成されるグループ G r 1 内には、4 本のクロック信号ライン L 1、L 2、L 3、L 4 が設けられている。これらのクロック信号ライン L 1、L 2、L 3、L 4 には、第 1 のシフトレジスタの段 F' 1、F' 2、F' 3、F' 4 が出力するクロック信号 S 1、S 2、S 3、S 4 が供給される。なお、クロック信号 S 4 は、次のグループ G r 2 にも供給される。

## 【 0 0 3 5 】

図 7 は、上記シフトレジスタ回路の動作を説明するためのタイミングチャートである。第 1 のシフトレジスタの初段 F' 1 には、3 パルスのみが連続するスタートパルス S P' が入力される。このパルスが、順次、次の段に送られ、第 1 の

シフトレジスタの各段 $F'1$ 、 $F'2$ 、 $F'3$ 、…から、3パルスのみが連続するクロック信号 $S1$ 、 $S2$ 、 $S3$ 、…が、異なる位相で出力される。クロック信号 $S1$ 、 $S2$ 、 $S3$ 、…は、第2のシフトレジスタにおける各グループに供給される。例えば、クロック信号 $S1$ 、 $S2$ 、 $S3$ 、 $S4$ は、第2のシフトレジスタにおけるグループ $Gr1$ に供給される。なお、クロック信号 $S4$ は、次のグループ $Gr2$ にも供給される。

## 【0036】

グループ $Gr1$ に供給されたクロック信号 $S1 \sim S4$ は、グループ $Gr1$ 内の段 $F1 \sim F6$ を駆動する。このとき、クロック信号 $S1$ とクロック信号 $S4$ とは同相であるが、タイミングが1周期ずれている。これにより、第1の実施形態で4パルス必要であった、第1のシフトレジスタのスタートパルス $SP'$ を、本実施形態においては、3パルスに減らすことができる。第2のシフトレジスタの初段 $F1$ には、1パルスのみスタートパルス $SP$ が入力される。これにより、第2のシフトレジスタのグループ $Gr1$ を構成する段 $F1 \sim F6$ からは、順次、信号 $G1 \sim G6$ が出力される。これ以後の段についても同様の動作が行われる。

## 【0037】

本実施形態においても、第1のシフトレジスタの各段を、3パルスが連続する信号が通過した後は、各段が出力するクロック信号は全てLowレベルに固定される。これと共に、クロック信号を入力している第2のシフトレジスタにおいても、パルス通過後は、各段が出力する信号が全てLowレベルに固定される。すなわち、パルスが通過した不要な段は休止状態とされるので、シフトレジスタ回路の消費電力が節約される。

## 【0038】

なお、例えば、クロック信号 $S1 \sim S4$ に含まれるパルスにおいて、第2のシフトレジスタのグループ $Gr1$ の動作に必要なパルスは、タイミングチャート中の波線で囲まれたパルスである。これ以外のパルスは不要なパルスであるが、第1の実施形態（図2）と比較すると、不要なパルスが減っている。前述したように、不要なパルスが、第2のシフトレジスタの動作に悪影響を与えることはないが、消費電力を低減させるという点から見ると、不要なパルスは少ない方がよい

。また、第2のシフトレジスタがT F T基板（ガラス基板）上に形成され、この第2のシフトレジスタがT F T（Thin Film Transistor）を含む場合には、このT F Tへの電圧ストレスを小さくするという点から、不要なパルスは少ない方がよい。従って、本実施形態には、第1の実施形態と比較して、消費電力が少なく、第2のシフトレジスタがT F Tを含む場合であっても、このT F Tへの電圧ストレスが小さいので、信頼性が高いという利点がある。

## 【 0 0 3 9 】

図8は、本発明の各実施形態における第2のシフトレジスタまたは第3のシフトレジスタを構成する段の内部回路を示す回路図である。この段は、前段が出力した信号 $G_{i-1}$ を入力する入力端子I Nと、後段へ送る信号 $G_i$ を出力する出力端子O U Tと、3相のクロック信号を入力する3つのクロック入力端子K a、K b、K cとを有する。

## 【 0 0 4 0 】

入力端子I Nは、ダイオードとして動作するM I SトランジスタM 1を介して、記憶素子として動作するコンデンサCの一端（A点）に接続されている。コンデンサCの他端は、出力端子O U Tに接続されている。クロック入力端子K aは、M I SトランジスタM 2のドレインに接続され、クロック入力端子K bは、M I SトランジスタM 3およびM 4のゲートに接続され、クロック入力端子K cは、M I SトランジスタM 3およびM 4のソースに接続されている。コンデンサCの一端（A点）は、M I SトランジスタM 2のゲートおよびM I SトランジスタM 3のドレインと接続されている。コンデンサCの他端すなわち出力端子O U Tは、M I SトランジスタM 2のソースおよびM I SトランジスタM 4のドレインと接続されている。

## 【 0 0 4 1 】

この段は、入力端子I Nから入力される入力信号 $G_{i-1}$ を記憶素子としてのコンデンサCに保持し、出力端子O U Tから出力信号 $G_i$ として出力する。このとき、常にL（L o wレベル）の状態に保たれている接地ラインが段に接続されていなくても、クロック入力端子K bおよびK cをL（L o wレベル）にすれば、出力端子O U Tから出力される信号 $G_i$ をL（L o wレベル）に戻す（初期化

する) ことができる。

【 0 0 4 2 】

ところで、アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されたM I Sトランジスタのゲート・ソース間に、常に同じ向きに電圧が印加されると、このM I Sトランジスタの信頼性が低下する場合がある。

M I SトランジスタM 3 およびM 4 のゲートに、電位がH i g hレベルまたは接地電位となるクロック信号が入力され、ソースに、常に接地電位に保たれている接地ラインが接続されていると仮定すると、ゲートの電位は、常にソースの電位以上となり、ゲート・ソース間の電圧の向きは常に一定となる。

これに対し、図 8 に示した段の構成によれば、M I SトランジスタM 3 およびM 4 のゲートに、電位がH i g hレベルまたは接地電位となるクロック信号が入力されると共に、ソースにも、電位がH i g hレベルまたは接地電位となるクロック信号が入力される。そして、これらのクロック信号は位相が異なるので、ゲート・ソース間の電圧の向きは時々刻々変動し、常に同じ向きに固定されない。従って、このM I Sトランジスタの信頼性が向上する。

【 0 0 4 3 】

図 9 は、本発明の第 4 の実施形態におけるシフトレジスタ回路の構成を示すブロック図である。このシフトレジスタ回路は、複数の段F' 1、F' 2、F' 3、…が縦列接続された第 1 のシフトレジスタと、複数の段F 1、F 2、F 3、…が縦列接続され、かつ、連続する 4 つの段が 1 つのグループを形成している第 2 のシフトレジスタとを有する。第 2 のシフトレジスタにおいては、例えば、段F 1 ~ F 4 がグループG r 1 を形成しており、段F 5 ~ F 8 がグループG r 2 を形成しており、段F 9 ~ F 1 2 がグループG r 3 を形成している。

【 0 0 4 4 】

第 2 のシフトレジスタ内の各グループに設けられた 2 つのクロック入力端子には、第 1 のシフトレジスタ内の連続する 2 つの段の出力端子から、2 相のクロック信号が供給される。例えば、第 2 のシフトレジスタ内のグループG r 1 に設けられた 2 つのクロック入力端子T 1、T 2 には、それぞれ、第 1 のシフトレジスタ内の連続する 2 つの段F' 1、F' 2 の出力端子から出力される 2 相のクロッ

ク信号  $S_1$ 、 $S_2$  が供給される。また、グループ  $G_r 2$  のクロック入力端子  $T_3$ 、 $T_4$  には、それぞれ、段  $F'_3$ 、 $F'_4$  から出力されるクロック信号  $S_3$ 、 $S_4$  が供給される。

## 【 0 0 4 5 】

1 つのグループ内の各段に設けられた 2 つのクロック入力端子は、それぞれ、1 つのグループに設けられた 2 つのクロック入力端子のうちのいずれかに接続されている。例えば、グループ  $G_r 1$  内の各段に設けられた 2 つのクロック入力端子は、それぞれ、グループ  $G_r 1$  内のクロック信号ライン  $L_1$ 、 $L_2$  のうちのいずれかに接続され、これらのクロック信号ライン  $L_1$ 、 $L_2$  は、それぞれ、グループ  $G_r 1$  に設けられた 2 つのクロック入力端子  $T_1$ 、 $T_2$  に接続されている。グループ  $G_r 1$  内のクロック信号ライン  $L_1$ 、 $L_2$  は、他のグループ内のクロック信号ライン（例えば、グループ  $G_r 2$  内のクロック信号ライン  $L_3$ 、 $L_4$ ）とは接続されていない。従って、1 つのグループ内のクロック信号ラインが、第 2 のシフトレジスタ全体に引き回されることはない。

## 【 0 0 4 6 】

グループ内のクロック信号ライン（例えば、グループ  $G_r 1$  内のクロック信号ライン  $L_1$ 、 $L_2$ ）は、具体的には、TFT 基板（ガラス基板）上に形成される配線なので配線抵抗が大きい。これに対し、第 1 のシフトレジスタ内の各段の出力端子（例えば、段  $F'_1$ 、 $F'_2$  の出力端子）から、第 2 のシフトレジスタ内の各グループに設けられた 2 つのクロック入力端子（例えば、グループ  $G_r 1$  に設けられた 2 つのクロック入力端子  $T_1$ 、 $T_2$ ）までの配線は、TCP における配線になるので、低抵抗配線材料を用いることができる。従って、1 つのグループ内のクロック信号ラインを、第 2 のシフトレジスタ全体に引き回さないことによって、配線抵抗によるクロック信号の遅延を少なくすることができる。

## 【 0 0 4 7 】

図 10 は、第 1 のシフトレジスタ内の各段  $F'_1$ 、 $F'_2$ 、 $F'_3$ 、 $F'_4$ 、…の内部構成を示す回路図である。第 1 のシフトレジスタは、双方向性シフトレジスタとなっていて、2 相のクロック  $\phi_1$ 、 $\phi_2$  を用いて、第 1 のシフトレジスタ内の段に記憶されるクロック信号を、図における右または左に転送する。転送

の方向は、制御信号 R によって決定される。

【 0 0 4 8 】

具体的には、第 1 のシフトレジスタは、制御信号 R が H i g h レベルのとき、第 1 のシフトレジスタ内の段に記憶されるクロック信号を、図における左から右へ転送し、制御信号 R が L o w レベルのとき、第 1 のシフトレジスタ内の段に記憶されるクロック信号を、図における右から左へ転送する。

【 0 0 4 9 】

第 1 のシフトレジスタ内の各段 F' 1、F' 2、F' 3、F' 4、…の内部構成を、段 F' 2 を例に挙げて説明する。なお、段 F' 3、F' 4、…の内部構成は、段 F' 2 の内部構成と同一なので説明を省略する。また、段 F' 1 の内部構成も、後述する点以外は、段 F' 2 の内部構成と同一である。

【 0 0 5 0 】

段 F' 2 は、4 つのトランジスタ Q 1、Q 2、Q 3、Q 4 と、6 つのインバータ N 1、N 2、N 3、N 4、N 5、N 6 と、4 つの論理積ゲート A 1、A 2、A 3、A 4 とを有する。トランジスタ Q 1 と Q 2 とは直列に接続され、トランジスタ Q 3 と Q 4 とは直列に接続されている。インバータ N 1 の入力端子は、トランジスタ Q 1 と Q 2 とが接続された点に接続され、インバータ N 1 の出力端子は、トランジスタ Q 3 と Q 4 とが接続された点に接続されている。インバータ N 2 の入力端子は、トランジスタ Q 4 の一端であって、トランジスタ Q 3 と接続されていない端子に接続され、インバータ N 2 の出力端子は、トランジスタ Q 2 の一端であって、トランジスタ Q 1 と接続されていない端子に接続されている。

【 0 0 5 1 】

トランジスタ Q 2 の一端であって、トランジスタ Q 1 と接続されていない端子は、インバータ N 3 の入力端子に接続され、インバータ N 3 と N 4 とは直列に接続され、インバータ N 4 の出力端子からは、クロック信号 S 2 が出力される。

【 0 0 5 2 】

段 F' 2 内のトランジスタ Q 1 の一端であって、同じ段 F' 2 内のトランジスタ Q 2 と接続されていない端子は、前段 F' 1 内のインバータ N 2 の出力端子に接続され、段 F' 2 内のトランジスタ Q 3 の一端であって、同じ段 F' 2 内のト

ランジスタQ4と接続されていない端子は、前段F' 1内のインバータN2の入力端子に接続されている。

## 【0053】

段F' 2内のインバータN2の出力端子は、次段F' 3内のトランジスタQ1の一端であって、同じ段F' 3内のトランジスタQ2と接続されていない端子に接続され、段F' 2内のインバータN2の入力端子は、次段F' 3内のトランジスタQ3の一端であって、同じ段F' 3内のトランジスタQ4と接続されていない端子に接続されている。

## 【0054】

トランジスタQ1のゲートには、クロック $\phi$ 1と制御信号Rとの論理積をとった信号が入力される。トランジスタQ2のゲートには、クロック $\phi$ 1と制御信号Rの反転信号との論理積をとった信号が入力される。トランジスタQ3のゲートには、クロック $\phi$ 2と制御信号Rの反転信号との論理積をとった信号が入力される。トランジスタQ4のゲートには、クロック $\phi$ 2と制御信号Rとの論理積をとった信号が入力される。

## 【0055】

なお、段F' 1の内部構成が、段F' 2の内部構成と異なる点は、段F' 1内のトランジスタQ1の一端であって、同じ段F' 1内のトランジスタQ2と接続されていない端子に、スタートパルスSP1が入力される点と、段F' 1内には、トランジスタQ3、論理積ゲートA3およびインバータN6がない点である。

## 【0056】

図11は、上記の第1のシフトレジスタの動作を示すタイミングチャートである。クロック $\phi$ 1、 $\phi$ 2は、互いの位相が180°異なる2相のクロックである。この2相のクロック $\phi$ 1、 $\phi$ 2が、第1のシフトレジスタに供給され、かつ、制御信号RがHighレベルの状態、第1のシフトレジスタの初段F' 1に1パルスだけのスタートパルスSP1が入力されると、このスタートパルスSP1を起源とするクロック信号は、右方向に転送される。クロック信号が右方向に2段転送された後に、制御信号RがLowレベルとされ、今度は、クロック信号は、左方向に転送される。クロック信号が左方向に1段転送された後に、制御信号

Rが再度Highレベルとされ、クロック信号は、右方向に3段転送される。以後、1段の左転送と、3段の右転送とが繰り返されることにより、第1のシフトレジスタから、図示したような波形のクロック信号S1、S2、S3、S4が得られる。

## 【0057】

図12は、第2のシフトレジスタ内の各段 $F_{i+1}$ 、 $F_{i+2}$ 、…の内部構成を示す回路図である。第2のシフトレジスタ内の各段 $F_{i+1}$ 、 $F_{i+2}$ 、…の内部構成を、段 $F_{i+1}$ を例に挙げて説明する。なお、段 $F_{i+2}$ 、…の内部構成も、段 $F_{i+1}$ の内部構成と同一なので説明を省略する。

## 【0058】

段 $F_{i+1}$ は、前段から出力される信号 $G_i$ を入力する入力端子INと、次段 $F_{i+2}$ へ送る信号 $G_{i+1}$ を出力する出力端子OUTと、第1のシフトレジスタが出力する2相のクロック信号 $S_n$ 、 $S_{n+1}$ を入力する2つのクロック入力端子Ka、Kbと、次段 $F_{i+2}$ から出力されるパルス信号 $G_{i+2}$ を入力する端子Pとを有する。

## 【0059】

段 $F_{i+1}$ のクロック入力端子Kaにクロック信号 $S_n$ が入力され、段 $F_{i+1}$ のクロック入力端子Kbにクロック信号 $S_{n+1}$ が入力された場合には、次段 $F_{i+2}$ のクロック入力端子Kaにはクロック信号 $S_{n+1}$ が入力され、次段 $F_{i+2}$ のクロック入力端子Kbにはクロック信号 $S_n$ が入力される。

## 【0060】

例えば、段F1のクロック入力端子Kaにクロック信号S1が入力され、段F1のクロック入力端子Kbにクロック信号S2が入力された場合には、次段F2のクロック入力端子Kaにはクロック信号S2が入力され、次段F2のクロック入力端子Kbにはクロック信号S1が入力される。

## 【0061】

段 $F_{i+1}$ の入力端子INは、MISトランジスタM1を介して、記憶素子として動作するコンデンサCの一端（A点）に接続されている。コンデンサCの他端（B点）は、出力端子OUTに接続されている。クロック入力端子Kaは、M



I S トランジスタ M 1 および M 5 のゲートに接続され、クロック入力端子 K b は、M I S トランジスタ M 2 のドレインに接続されている。コンデンサ C の一端 ( A 点 ) は、M I S トランジスタ M 2 のゲートおよび M I S トランジスタ M 3 のドレインと接続されている。コンデンサ C の他端 ( B 点 ) は、M I S トランジスタ M 2 のソース、M I S トランジスタ M 4 および M 5 のドレインと接続されている。

#### 【 0 0 6 2 】

段  $F_{i+1}$  は、入力端子 I N から入力される信号  $G_i$  を記憶素子としてのコンデンサ C に保持し、出力端子 O U T から信号  $G_{i+1}$  として出力する。従って、段  $F_{i+1}$ 、 $F_{i+2}$ 、… が縦列接続された第 2 のシフトレジスタは、2 相のクロック信号  $S_n$ 、 $S_{n+1}$  により、各段に保持された信号を順次右へ転送する。

#### 【 0 0 6 3 】

図 1 3 は、上記の第 2 のシフトレジスタの動作を示すタイミングチャートである。第 2 のシフトレジスタは、第 1 のシフトレジスタが出力するクロック信号  $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ 、… を用いて、第 2 のシフトレジスタ内の初段  $F_1$  に入力されるスタートパルス  $S P_2$  を起源とする信号を順次右へ転送し、図示した波形の信号  $G_1$ 、 $G_2$ 、 $G_3$ 、 $G_4$ 、… を出力する。

#### 【 0 0 6 4 】

第 2 のシフトレジスタ内の各グループから信号が出力された後は、第 1 のシフトレジスタから第 2 のシフトレジスタ内の各グループに入力されるクロック信号は、全て L o w レベルに固定される。例えば、第 2 のシフトレジスタ内のグループ  $G_{r1}$  から信号  $G_1 \sim G_4$  が出力された後は、グループ  $G_{r1}$  に入力されるクロック信号  $S_1$ 、 $S_2$  は、いずれも L o w レベルに固定される。すると、グループ  $G_{r1}$  内の全ての段  $F_1 \sim F_4$  は休止状態となり、消費電力が節約され、段  $F_1 \sim F_4$  内の M I S トランジスタに電圧ストレスがかかり続けることがなくなるので、M I S トランジスタの劣化が防止される。

#### 【 0 0 6 5 】

本実施形態におけるシフトレジスタ回路によって、例えば 4 8 0 本の走査線を有する表示装置を駆動することが可能である。

## 【 0 0 6 6 】

図 1 4 は、本発明の第 5 の実施形態におけるシフトレジスタ回路の構成を示すブロック図である。このシフトレジスタ回路は、複数の段  $F' 1$ 、 $F' 2$ 、 $F' 3$ 、 $F' 4$ 、…が縦列接続された第 1 のシフトレジスタと、複数の段  $F 1$ 、 $F 2$ 、 $F 3$ 、 $F 4$ 、…が縦列接続され、かつ、連続する 6 つの段が 1 つのグループを形成している第 2 のシフトレジスタとを有する。第 2 のシフトレジスタにおいては、例えば、段  $F 1 \sim F 6$  がグループ  $G r 1$  を形成しており、段  $F 7 \sim F 1 2$  がグループ  $G r 2$  を形成している。

## 【 0 0 6 7 】

第 2 のシフトレジスタ内の各グループに設けられた 2 つのクロック入力端子には、第 1 のシフトレジスタ内の連続する 2 つの段の出力端子から、2 相のクロック信号が供給される。例えば、第 2 のシフトレジスタ内のグループ  $G r 1$  に設けられた 2 つのクロック入力端子  $T 1$ 、 $T 2$  には、それぞれ、第 1 のシフトレジスタ内の連続する 2 つの段  $F' 1$ 、 $F' 2$  の出力端子から出力される 2 相のクロック信号  $S 1$ 、 $S 2$  が供給される。また、グループ  $G r 2$  のクロック入力端子  $T 3$ 、 $T 4$  には、それぞれ、段  $F' 3$ 、 $F' 4$  から出力されるクロック信号  $S 3$ 、 $S 4$  が供給される。

## 【 0 0 6 8 】

上記以外のシフトレジスタ回路内の接続関係は、第 4 の実施形態と同様なので、説明を省略する。また、第 1 のシフトレジスタ内の各段  $F' 1$ 、 $F' 2$ 、 $F' 3$ 、 $F' 4$ 、…の内部構成や、第 2 のシフトレジスタ内の各段  $F 1$ 、 $F 2$ 、 $F 3$ 、 $F 4$ 、…の内部構成も、第 4 の実施形態と同様なので、説明を省略する。

## 【 0 0 6 9 】

図 1 5 は、上記の第 1 のシフトレジスタの動作を示すタイミングチャートである。クロック  $\phi 1$ 、 $\phi 2$  は、互いの位相が  $180^\circ$  異なる 2 相のクロックである。この 2 相のクロック  $\phi 1$ 、 $\phi 2$  が、第 1 のシフトレジスタに供給され、かつ、制御信号  $R$  が  $H i g h$  レベルの状態、第 1 のシフトレジスタの初段  $F' 1$  に 1 パルスのみスタートパルス  $S P 1$  が入力されると、このスタートパルス  $S P 1$  を起源とするクロック信号は、右方向に転送される。クロック信号が右方向に 2

段転送された後に、制御信号 R が L o w レベルとされ、クロック信号が左方向に 1 段転送され、その後、制御信号 R が再度 H i g h レベルとされ、クロック信号が右方向に 1 段転送され、さらにその後、制御信号 R が再度 L o w レベルとされ、クロック信号が左方向に 1 段転送される。その後、制御信号 R が再度 H i g h レベルとされ、クロック信号が右方向に 2 段転送される。以後、1 段の右転送、1 段の左転送、1 段の右転送、1 段の左転送、2 段の右転送という動作を一組とする動作が繰り返されることにより、第 1 のシフトレジスタから、図示した波形のクロック信号 S 1、S 2、S 3、S 4 が得られる。

## 【 0 0 7 0 】

図 1 6 は、上記の第 2 のシフトレジスタの動作を示すタイミングチャートである。第 2 のシフトレジスタは、第 1 のシフトレジスタが出力するクロック信号 S 1、S 2、S 3、S 4、…を用いて、第 2 のシフトレジスタ内の初段 F 1 に入力されるスタートパルス S P 2 を起源とする信号を順次右へ転送し、図示した波形の信号 G 1、G 2、G 3、G 4、…を出力する。

## 【 0 0 7 1 】

本実施形態における第 1 のシフトレジスタ内の段数は、第 2 のシフトレジスタ内の段数の  $1/3$  とすることができるので、第 1 のシフトレジスタの回路規模を小さくすることができる。さらに、第 2 のシフトレジスタ内の段のグループ構成と、制御信号 R の波形パターンを変更することにより、第 1 のシフトレジスタ内の段数を、第 2 のシフトレジスタ内の段数の  $1/3$  以下、例えば  $1/4$  とすることもできる。

## 【 0 0 7 2 】

図 1 7 は、本発明のシフトレジスタ回路を、表示装置のクロック発生回路およびゲートドライバ、またはクロック発生回路およびソースドライバとして用いた例を示す構成図である。この表示装置においては、クロック発生回路 4 a が出力するクロック信号が、T F T 基板（表示装置基板）1 上のゲートドライバ 3 に供給され、このゲートドライバ 3 が、表示エリア 2 内の走査線 2 a を駆動する。また、クロック発生回路 4 b が出力するクロック信号が、T F T 基板（表示装置基板）1 上のソースドライバ 5 a に供給され、このソースドライバ 5 a が出力する

走査信号 SC 1 が、トランジスタ 5 b のゲートに印加される。トランジスタ 5 b は、走査信号 SC 1 に応じて、表示エリア 2 内の信号線 2 b へのソース信号 SC 2 の供給をオン、オフする。

【 0 0 7 3 】

本発明の各実施形態における第 1 のシフトレジスタを、クロック発生回路 4 a として、第 2 のシフトレジスタおよび第 3 のシフトレジスタを、走査線 2 a に走査信号 SC 3 (各実施形態における信号 G 1、G 2、…、または信号 GO 1、GO 2、…および GE 1、GE 2、…) を供給するゲートドライバ 3 として用いることができる。あるいは、第 1 のシフトレジスタを、クロック発生回路 4 b として、第 2 のシフトレジスタを、トランジスタ 5 b のゲートに走査信号 SC 1 (各実施形態における信号 G 1、G 2、…) を印加するソースドライバ 5 a として用いることもできる。

【 0 0 7 4 】

図 1 8 は、本発明のシフトレジスタ回路を、イメージセンサのクロック発生回路およびゲートドライバ、またはクロック発生回路およびソースドライバとして用いた例を示す構成図である。このイメージセンサにおいては、図 1 7 に示した表示装置の TFT 基板 (表示装置基板) 1 上の表示エリア 2 における表示素子 2 d の代わりに、TFT 基板 (イメージセンサ基板) 6 上のセンサエリア 7 における受光素子 7 d が設けられている。これ以外の構成は、図 1 7 に示した表示装置と同様である。

【 0 0 7 5 】

【発明の効果】

本発明によれば、第 2 のシフトレジスタにおける必要な段にのみクロック信号が供給され、低消費電力化が実現されると共に、第 1 のシフトレジスタが有する段の出力が、直接、第 2 のシフトレジスタに入力され、第 1 のシフトレジスタと第 2 のシフトレジスタとの間にゲート回路を介在させる必要がないので、シフトレジスタ回路全体での回路規模を小さくすることができる。

また、第 2 のシフトレジスタのグループ内の段が有するクロック入力端子が一系統にまとめられ、従って、各グループが一組のクロック入力端子をもつことに

なるので、第2のシフトレジスタのためのクロック信号の配線が、第2のシフトレジスタの全域に引き回されることがなくなる。これにより、第2のシフトレジスタ内のクロック信号の配線が短くなるので、配線容量や配線抵抗によるクロック信号の遅延を減らすことができる。

## 【0076】

また、第2のシフトレジスタを複数系列設ければ、複数系列設けられた第2のシフトレジスタが有する段の出力で、表示装置における奇数フィールドおよび偶数フィールドを駆動することができるので、本発明のシフトレジスタ回路をインターレース駆動に用いることができる。また、奇数フィールドと偶数フィールドを切り替えるためにゲート回路を設ける必要がないので、回路規模を小さくすることができる。

## 【0077】

また、第2のシフトレジスタが有する段の出力がアクティブマトリクス回路の走査信号とされれば、すなわちアクティブマトリクス回路のゲートドライバまたはソースドライバを上記のシフトレジスタ回路で構成すれば、ゲートドライバまたはソースドライバの回路規模を小さくすることができる。

## 【0078】

また、アクティブマトリクス回路および第2のシフトレジスタに含まれるMISトランジスタが、同一型のMISトランジスタによって構成されれば、製造プロセスが簡単になる。

## 【0079】

また、アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されたMISトランジスタに、常に電圧が印加されると、このMISトランジスタの信頼性が低下する場合がある。本発明によれば、第2のシフトレジスタに含まれるMISトランジスタには、ほとんどの期間、電圧が印加されないので、信頼性低下の問題が起きない。

## 【0080】

また、第2のシフトレジスタと、アクティブマトリクス回路とを同一基板上に形成すれば、第2のシフトレジスタとアクティブマトリクス回路との間の配線を

短くすることができる。

また、アクティブマトリクス回路（具体的には、表示装置等）は、一般にサイズが大きい。従って、第2のシフトレジスタと、アクティブマトリクス回路とを同一基板上に形成すれば、アクティブマトリクス回路のサイズに合わせて、第2のシフトレジスタのためのクロック信号の配線を長く引き回さなければならない。このとき、本発明によれば、第2のシフトレジスタ内のクロック信号の配線が短くなるので、配線容量や配線抵抗によるクロック信号の遅延を減らすことができる。または、第2のシフトレジスタ内のクロック信号の配線が短くなるので、その分、この配線の線幅を縮小することができる。その結果、アクティブマトリクス回路が表示装置である場合には、表示部として用いることができない無効エリア（額縁の部分）を小さくすることができる。

#### 【 0 0 8 1 】

また、第2のシフトレジスタの各段の状態を初期化するための初期状態レベルを、クロック入力端子のうちのいずれかから入力すれば、初期状態レベルを供給するためだけの配線（例えば、接地ライン）が不要になる。従って、第2のシフトレジスタに接続される配線が少なくなり、配線に必要な面積を小さくすることができる。

また、アモルファスシリコンまたは多結晶シリコンを含む素材によって構成されたM I Sトランジスタに、常に同じ向きに電圧が印加されると、このM I Sトランジスタの信頼性が低下する場合がある。M I Sトランジスタに、常に初期状態レベルに固定された配線からではなく、電位が時々刻々変動するクロック入力端子のうちのいずれかから、初期状態レベルが入力されれば、このM I Sトランジスタに印加される電圧の向きが、時々刻々変動し、同じ向きに固定されない。従って、このM I Sトランジスタの信頼性が向上する。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態におけるシフトレジスタ回路の構成図。

【図2】 本発明の第1の実施形態におけるシフトレジスタ回路の動作を説明するためのタイミングチャート。

【図3】 本発明の第1の実施形態におけるシフトレジスタ回路を、表示装

置のクロック発生回路およびゲートドライバとして用いた例の構成図。

【図 4】 本発明の第 2 の実施形態におけるシフトレジスタ回路の構成図。

【図 5】 本発明の第 2 の実施形態におけるシフトレジスタ回路の動作を説明するためのタイミングチャート。

【図 6】 本発明の第 3 の実施形態におけるシフトレジスタ回路の構成図。

【図 7】 本発明の第 3 の実施形態におけるシフトレジスタ回路の動作を説明するためのタイミングチャート。

【図 8】 本発明の各実施形態における第 2 のシフトレジスタまたは第 3 のシフトレジスタを構成する段の内部回路を示す回路図。

【図 9】 本発明の第 4 の実施形態におけるシフトレジスタ回路の構成を示すブロック図。

【図 1 0】 本発明の第 4 の実施形態における第 1 のシフトレジスタ内の各段  $F' 1$ 、 $F' 2$ 、 $F' 3$ 、 $F' 4$ 、…の内部構成を示す回路図。

【図 1 1】 本発明の第 4 の実施形態における第 1 のシフトレジスタの動作を示すタイミングチャート。

【図 1 2】 本発明の第 4 の実施形態における第 2 のシフトレジスタ内の各段  $F_{i+1}$ 、 $F_{i+2}$ 、…の内部構成を示す回路図。

【図 1 3】 本発明の第 4 の実施形態における第 2 のシフトレジスタの動作を示すタイミングチャート。

【図 1 4】 本発明の第 5 の実施形態におけるシフトレジスタ回路の構成を示すブロック図。

【図 1 5】 本発明の第 5 の実施形態における第 1 のシフトレジスタの動作を示すタイミングチャート。

【図 1 6】 本発明の第 5 の実施形態における第 2 のシフトレジスタの動作を示すタイミングチャート。

【図 1 7】 本発明のシフトレジスタ回路を、表示装置のクロック発生回路およびゲートドライバ、またはクロック発生回路およびソースドライバとして用いた例を示す構成図。

【図 1 8】 本発明のシフトレジスタ回路を、イメージセンサのクロック発

生回路およびゲートドライバ、またはクロック発生回路およびソースドライバとして用いた例を示す構成図。

【図 1 9】 従来のシフトレジスタ回路の一例を示す回路図。

【図 2 0】 従来のシフトレジスタ回路の動作を説明するためのタイミングチャート。

【符号の説明】

F 1、F 2、F 3、…、F n 段

F' 1、F' 2、F' 3、…、F' m 段

G i - 1、G i、G i + 1、G i + 2、… 信号

S 1、S 2、S 3、… クロック信号

SC 1、SC 3 走査信号

SC 2 ソース信号

SP、SP 1、SP 2 スタートパルス

SP' スタートパルス

IN 入力端子

OUT 出力端子

K a、K b、K c クロック入力端子

T 1、T 2、T 3 クロック入力端子

M 1、M 2、M 3、M 4、M 5 MISトランジスタ

C コンデンサ

Q 1、Q 2、Q 3、Q 4 トランジスタ

N 1、N 2、N 3、N 4、N 5、N 6 インバータ

A 1、A 2、A 3、A 4 論理積ゲート

$\phi$  1、 $\phi$  2 クロック

R 制御信号

L 1、L 2、L 3、L 4、L 5、L 6 クロック信号ライン

Gr 1、Gr 2、Gr 3、… グループ

1 TFT基板（ガラス基板、表示装置基板）

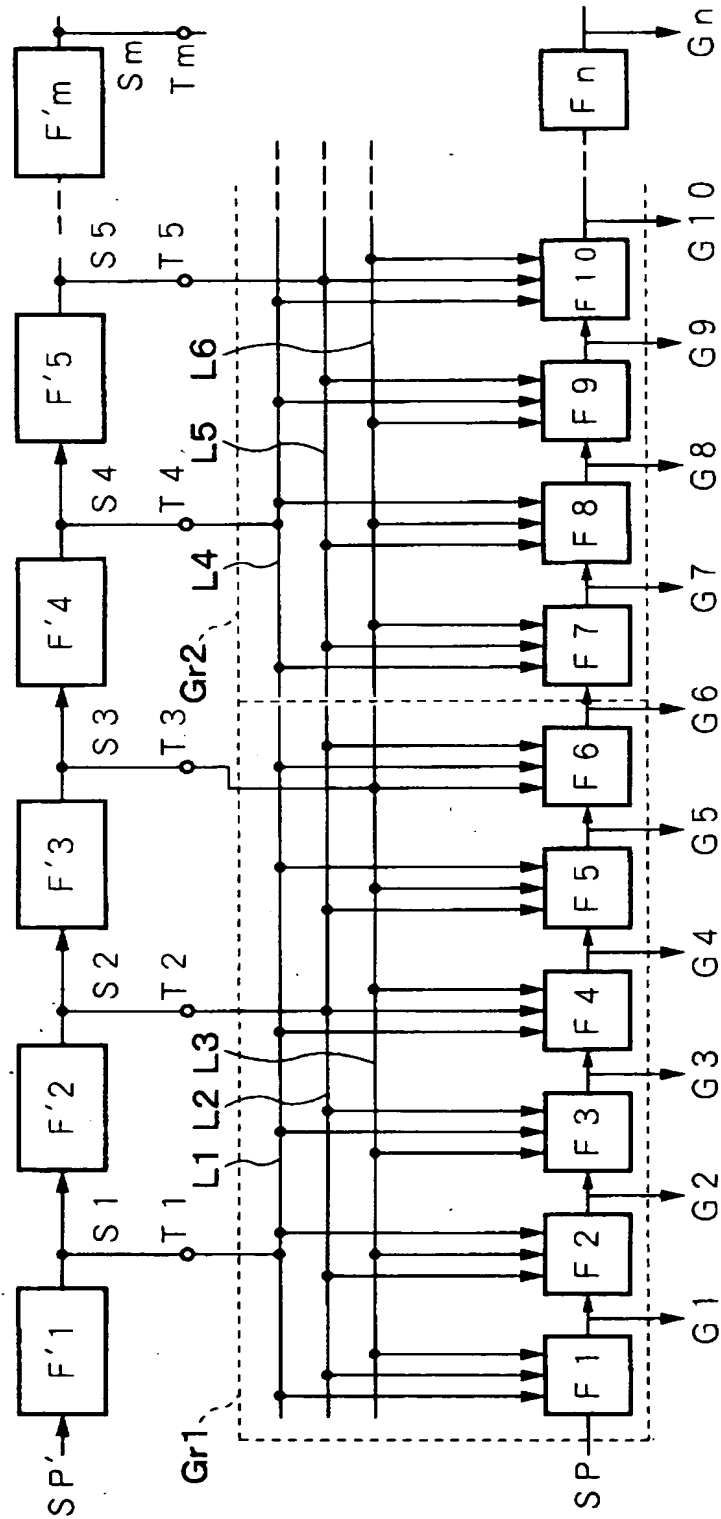
2 表示エリア



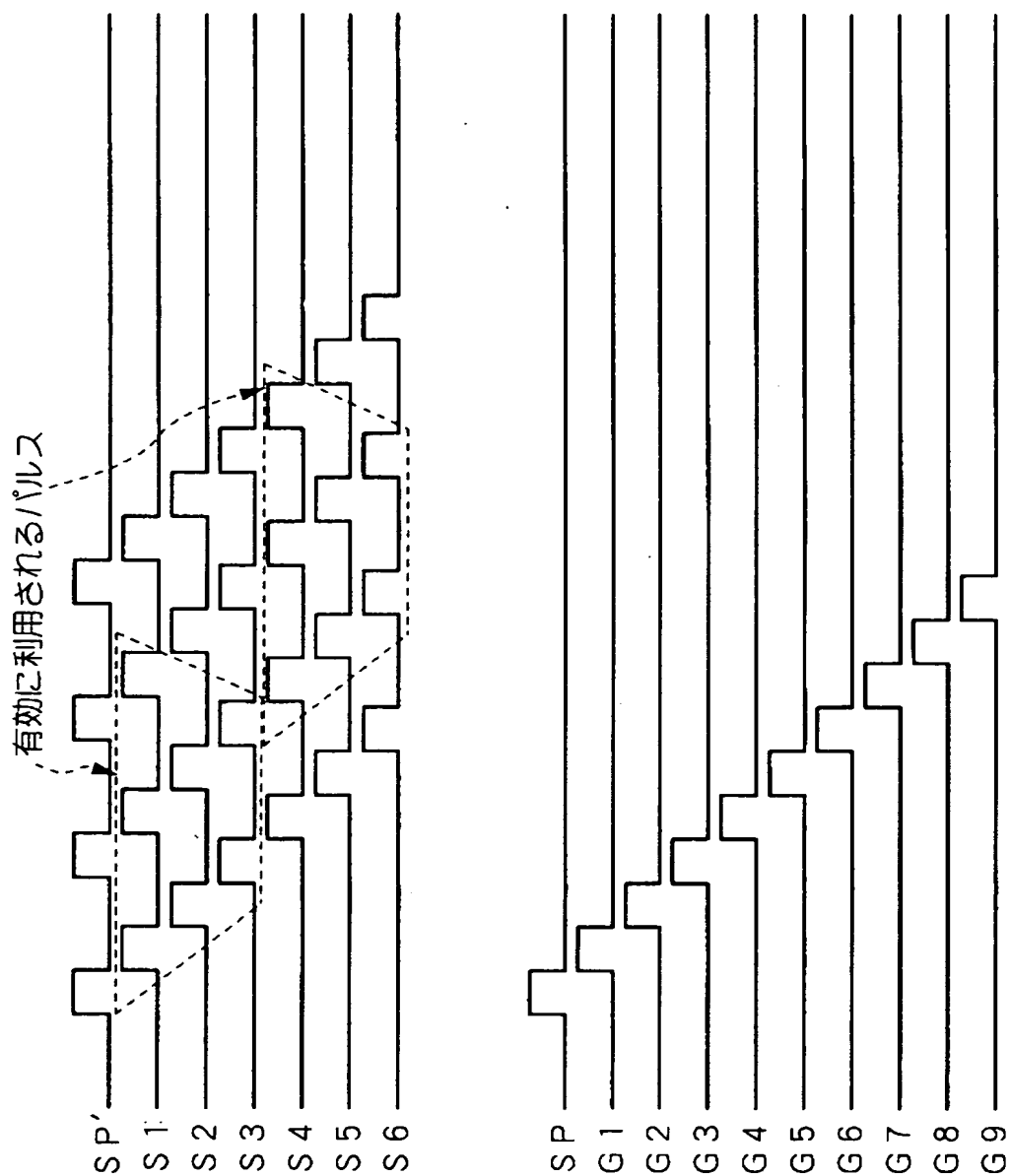
- 2 a 走査線
- 2 b 信号線
- 2 c M I S トランジスタ
- 2 d 表示素子
- 3 ゲートドライバ (第 2 のシフトレジスタ、第 3 のシフトレジスタ)
- 4 T C P
- 4 a、4 b クロック発生回路 (第 1 のシフトレジスタ)
- 5、5 a ソースドライバ (第 2 のシフトレジスタ)
- 5 b トランジスタ
- 6 T F T 基板 (イメージセンサ基板)
- 7 センサエリア
- 7 d 受光素子

【書類名】 図面

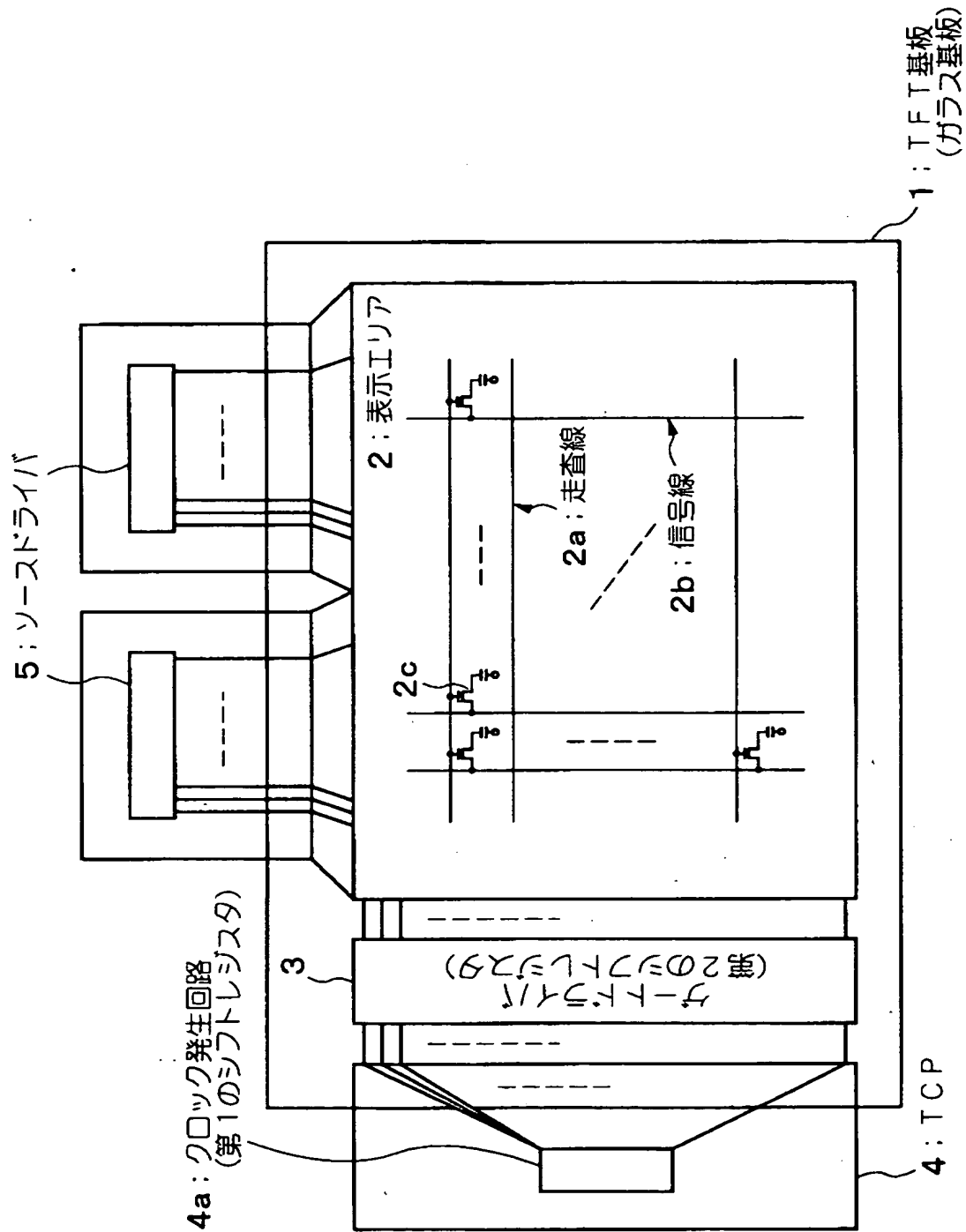
【図1】



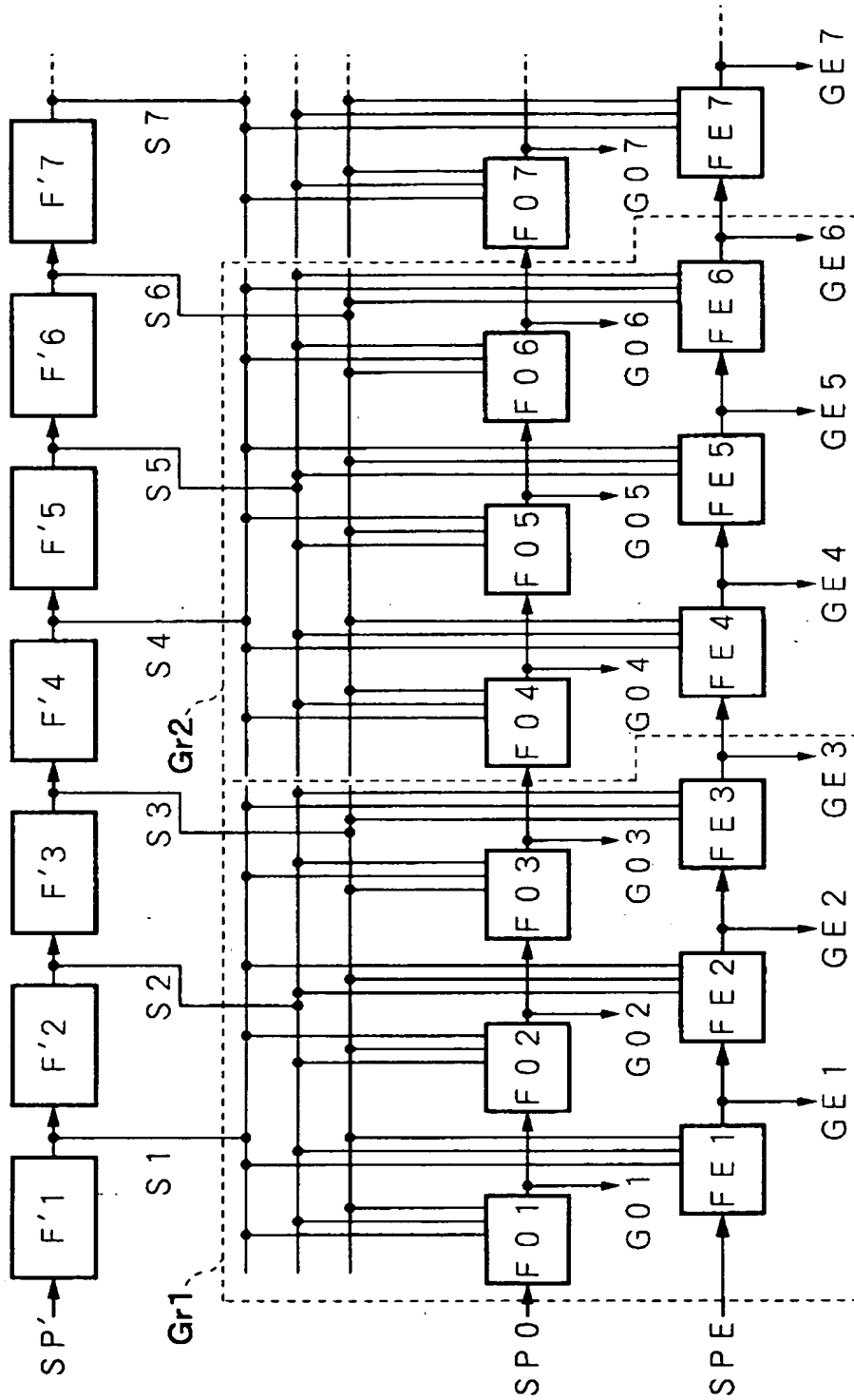
【図2】



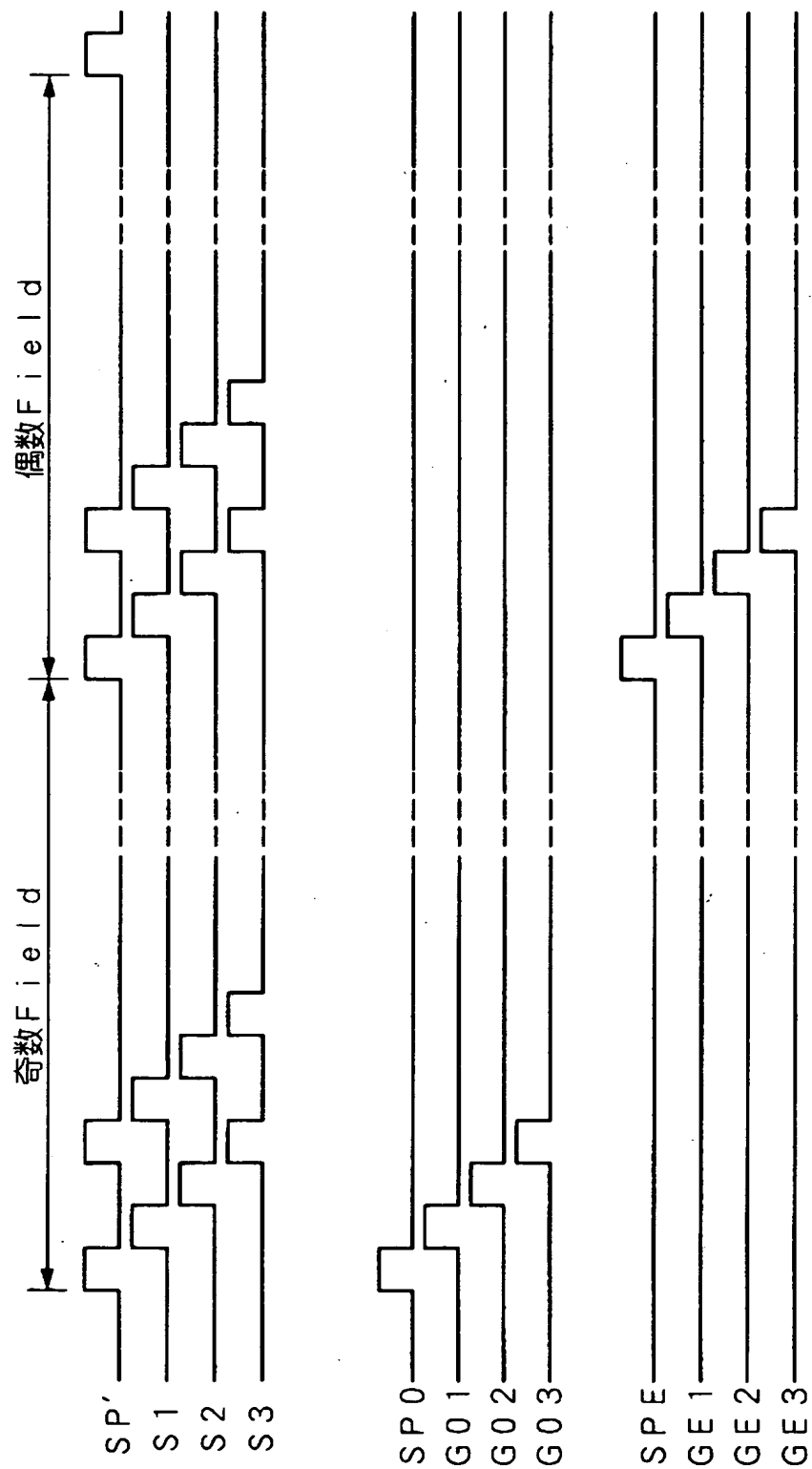
【図3】



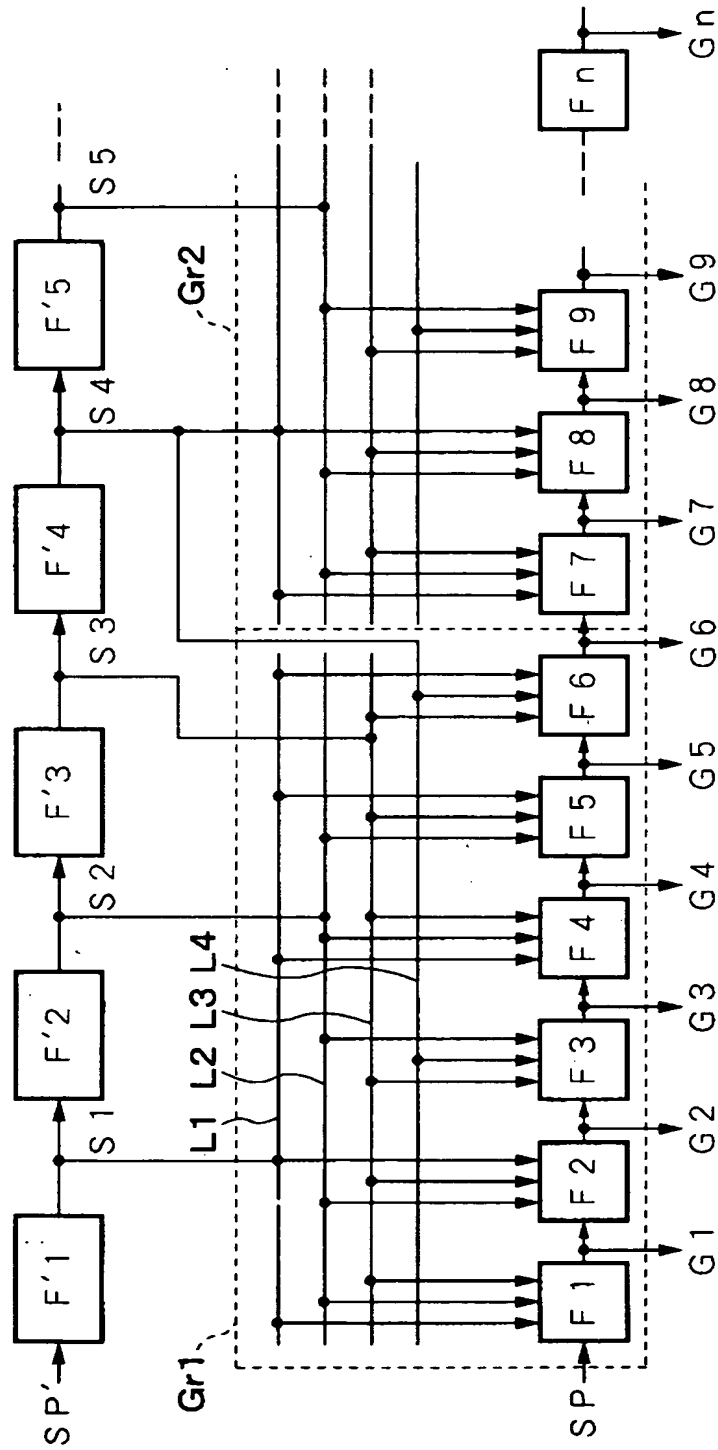
【図 4】



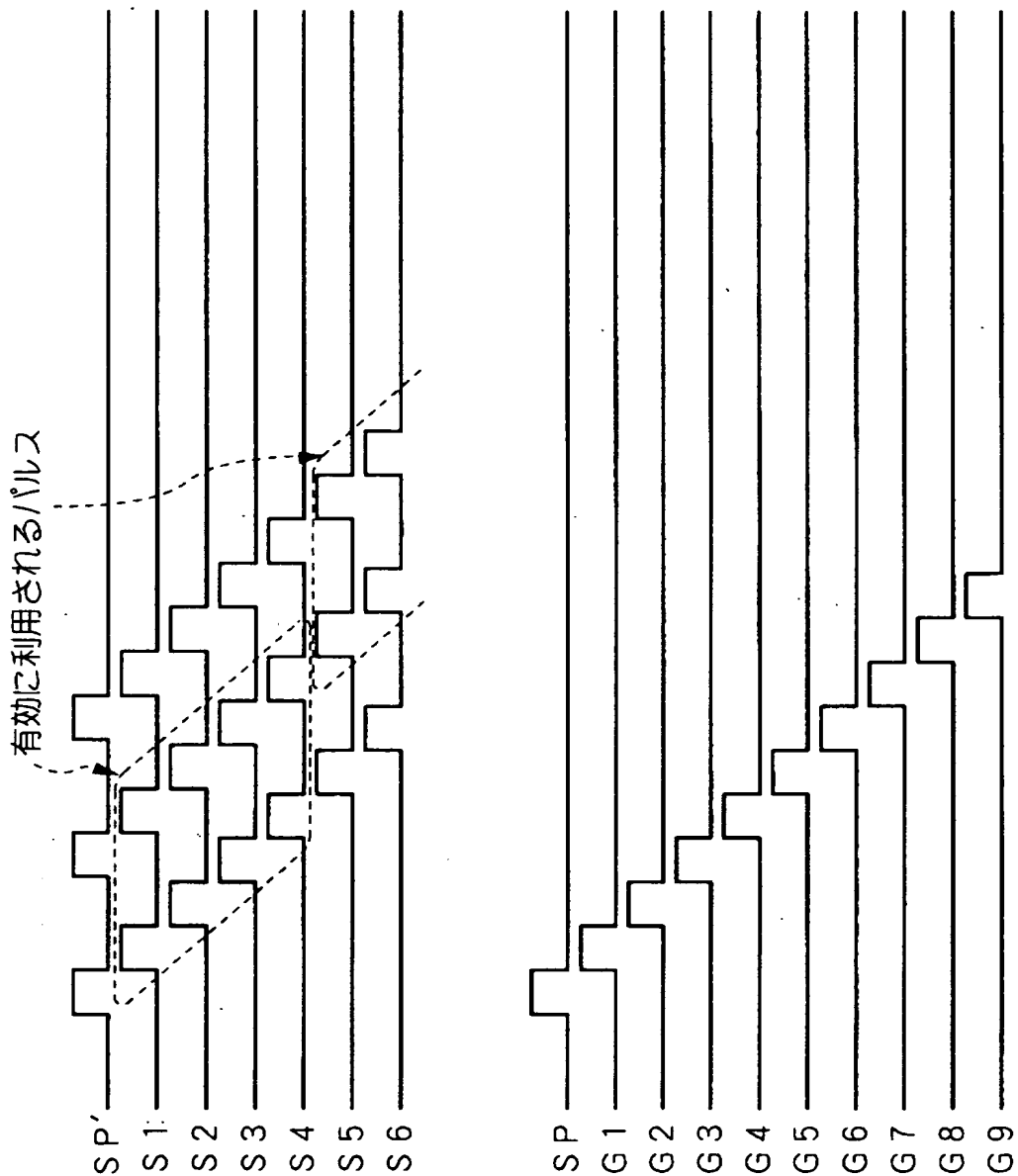
【図 5】



【図 6】

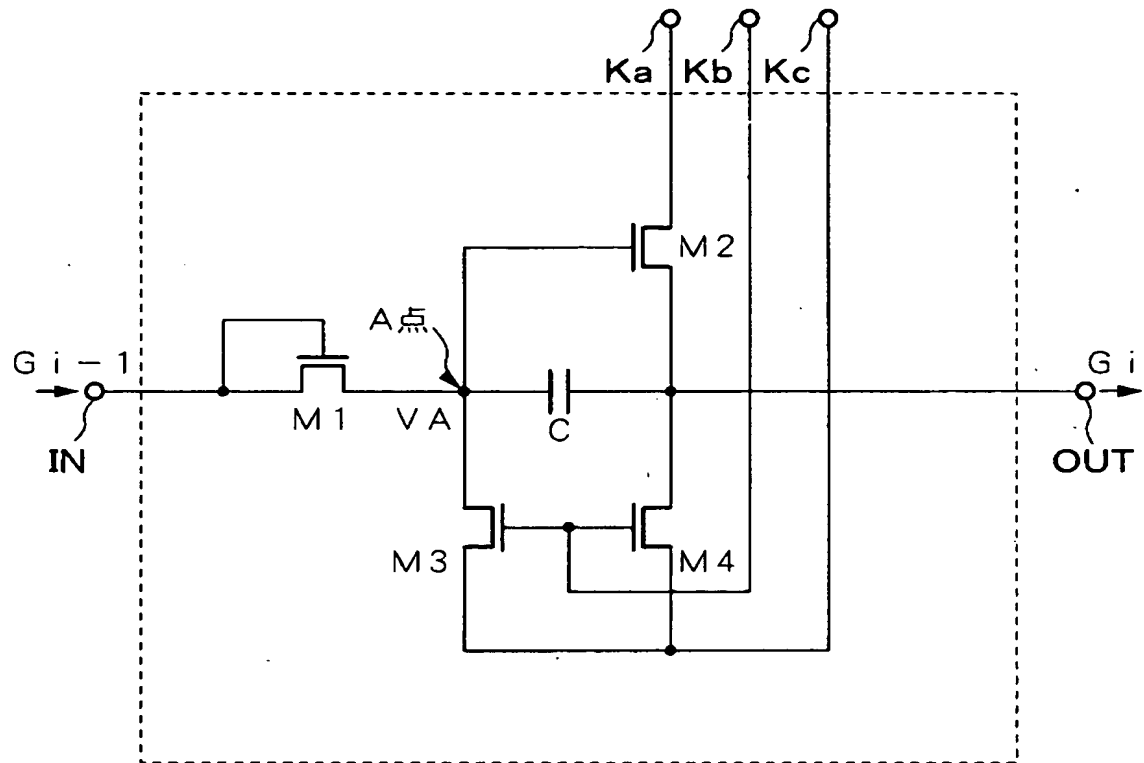


【図 7】

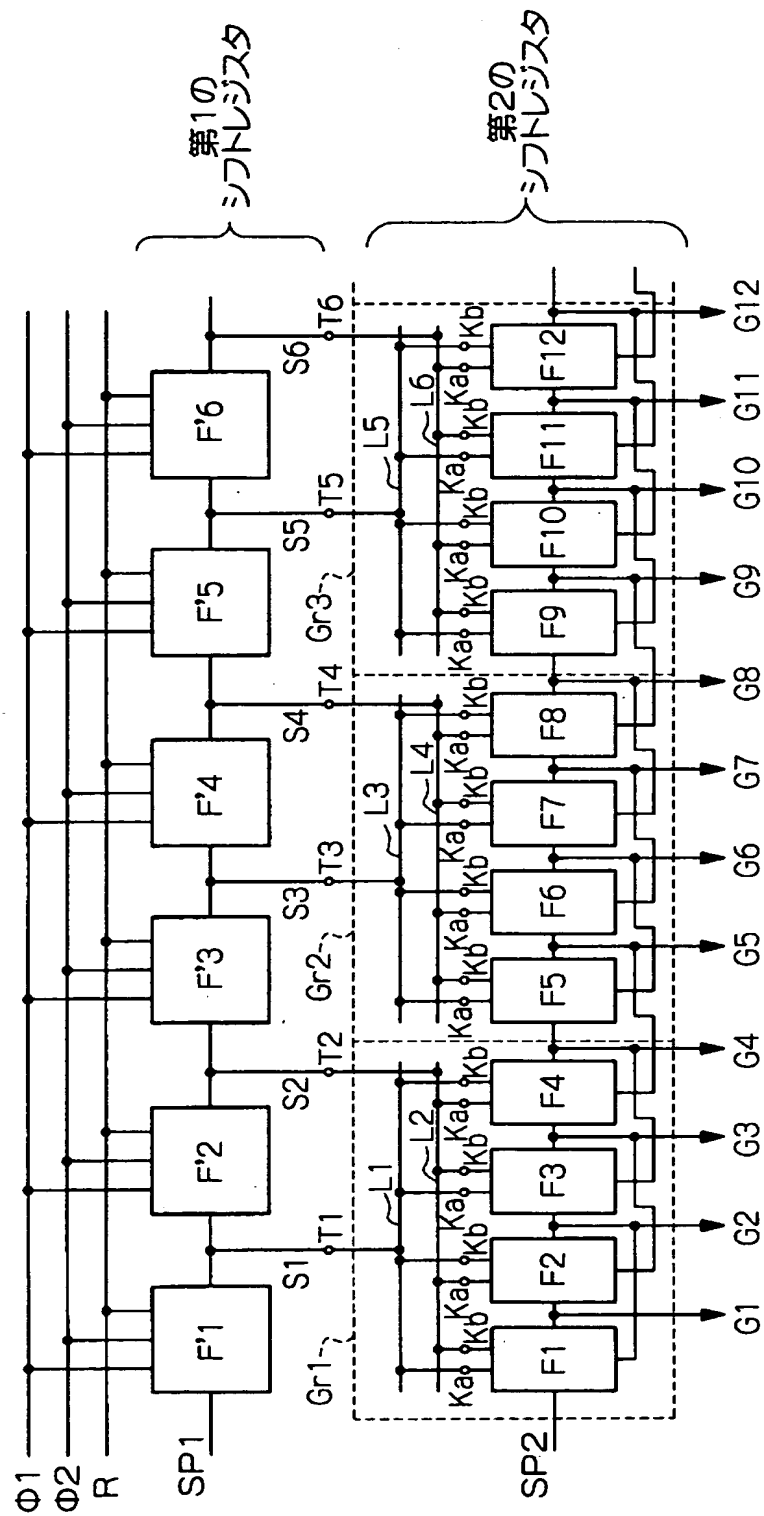




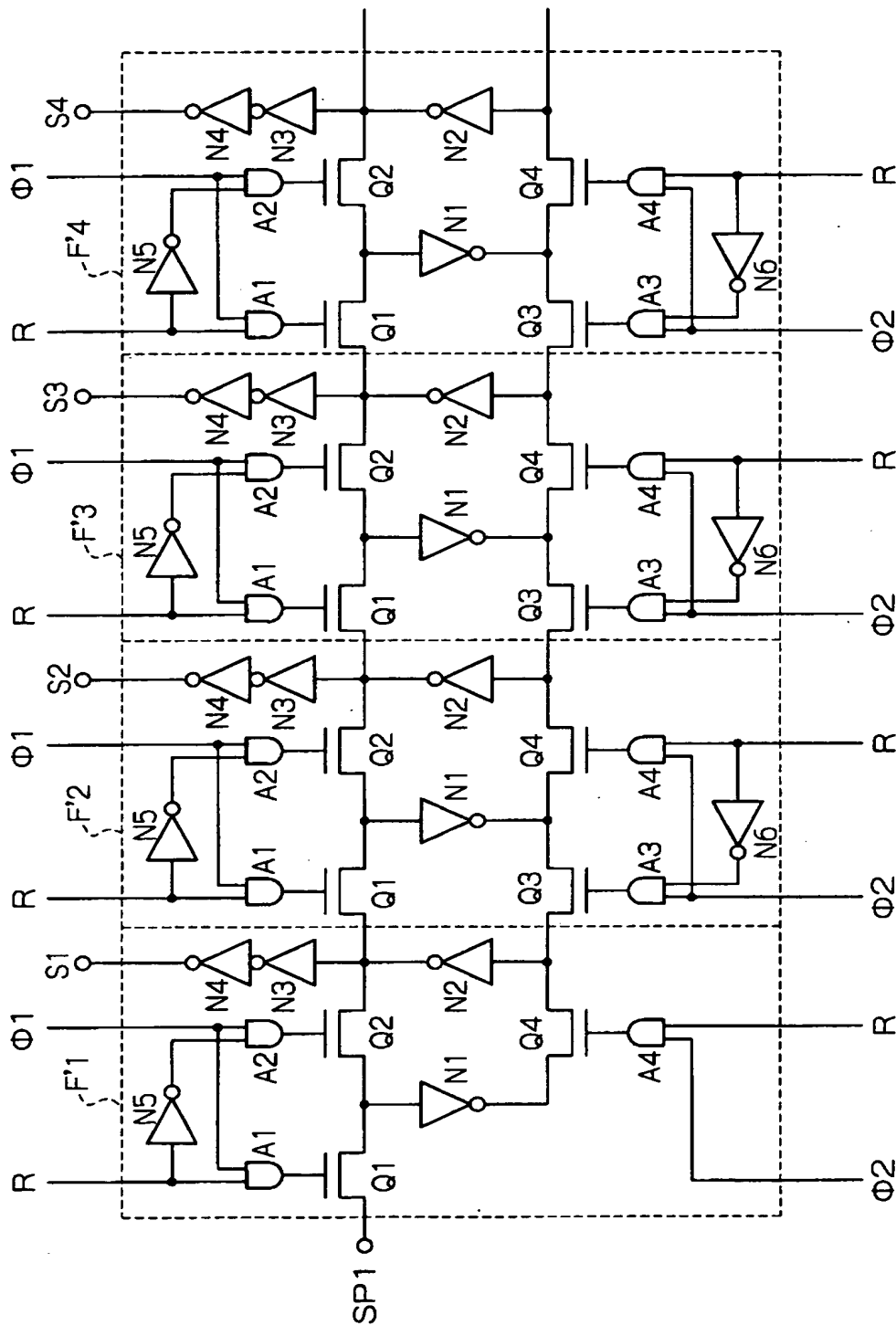
【図 8】



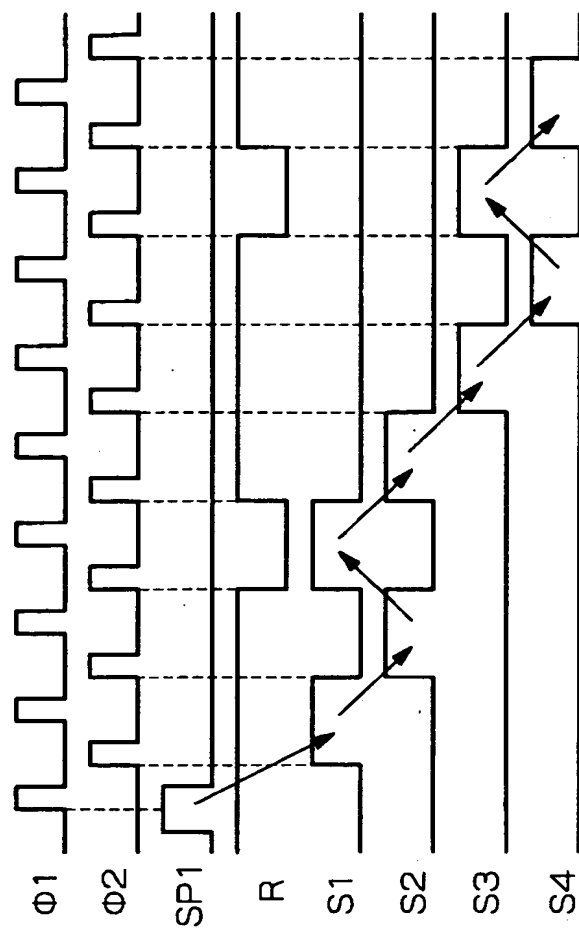
【図9】



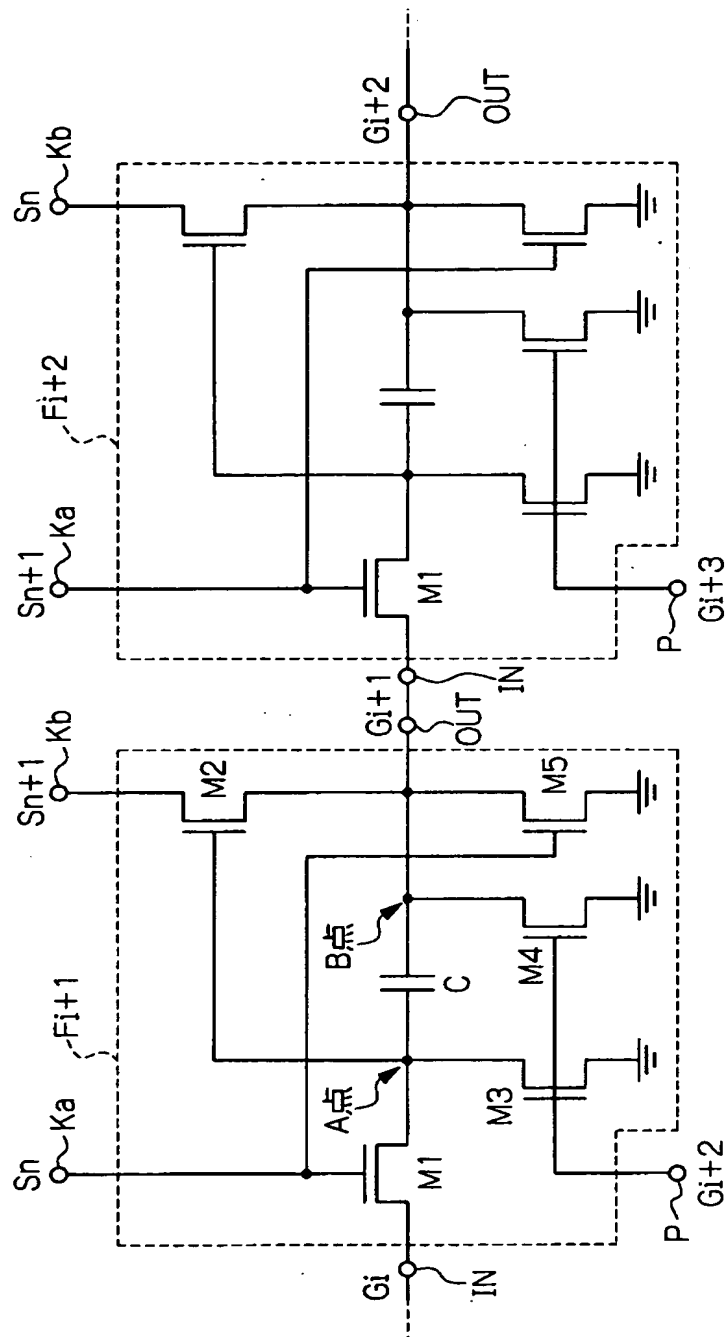
【図10】



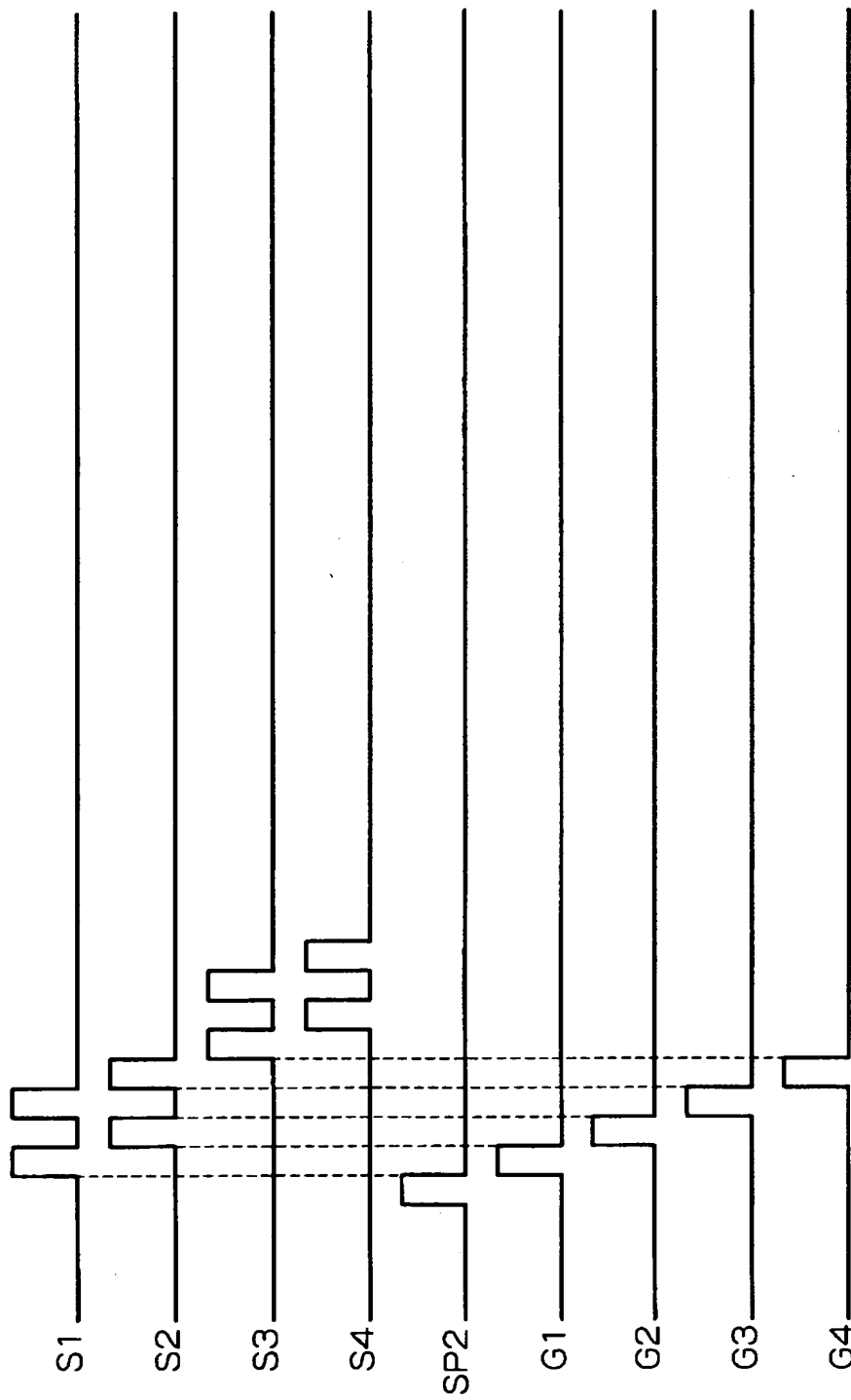
【図 11】



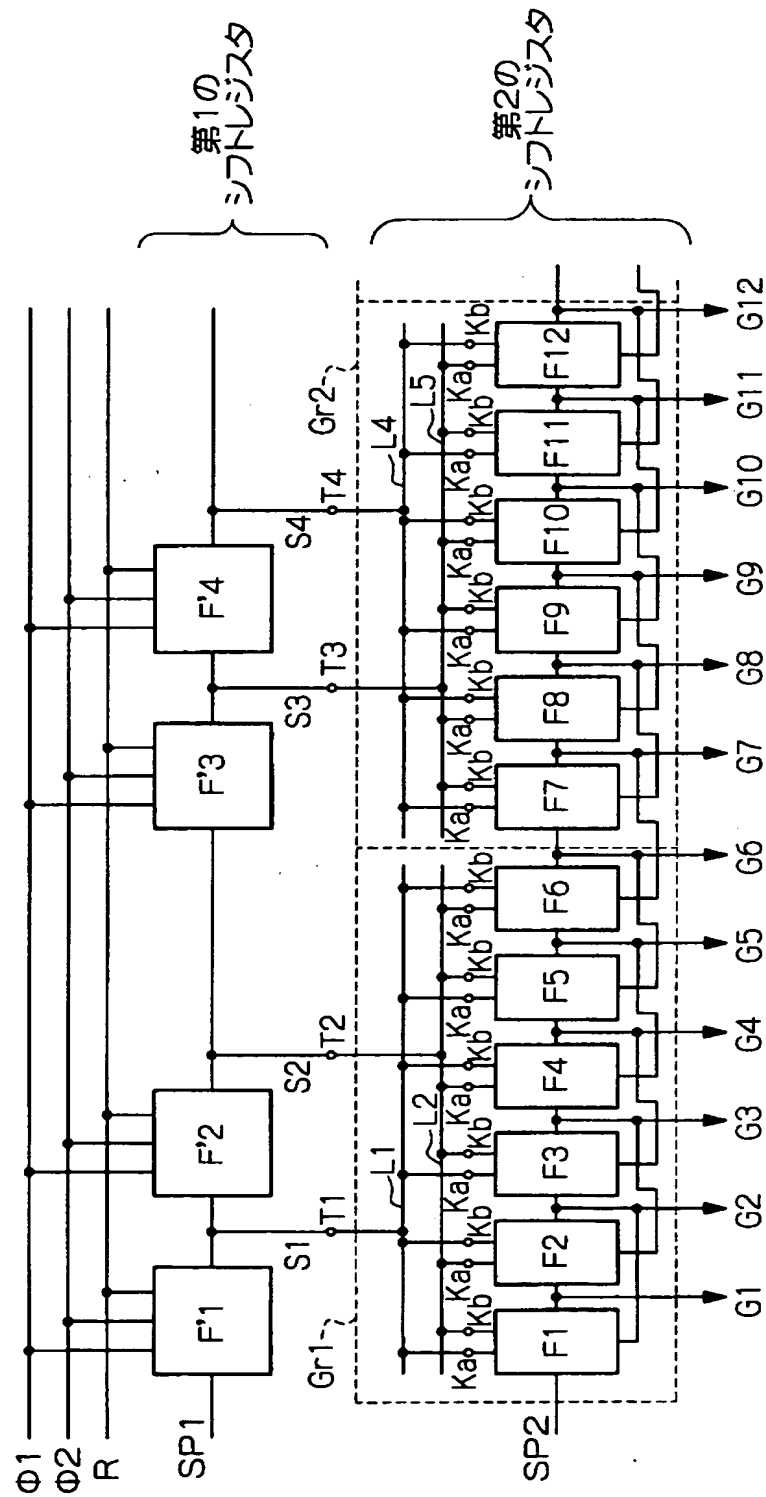
【図 12】



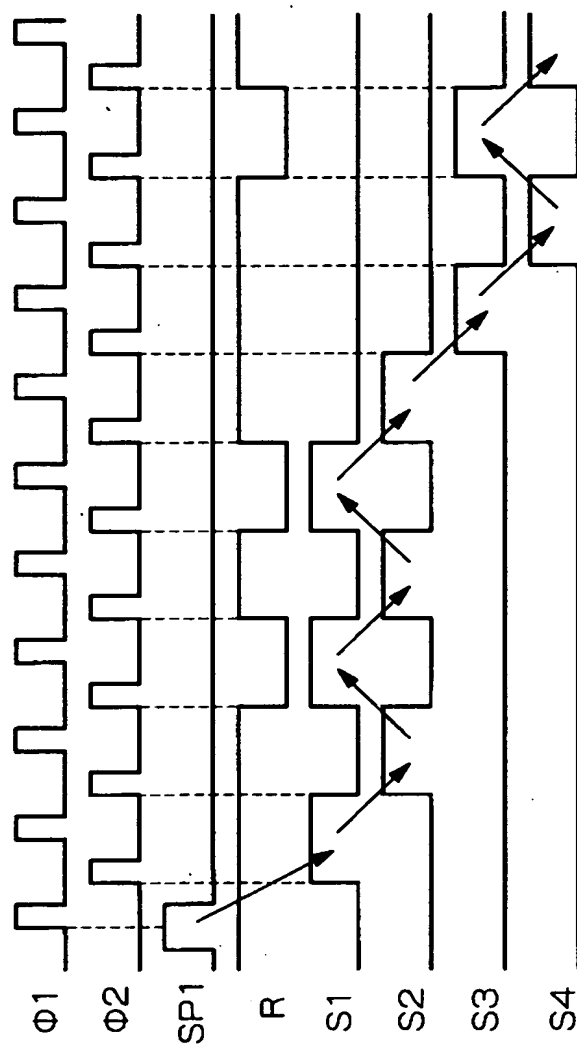
【図 13】



【図14】

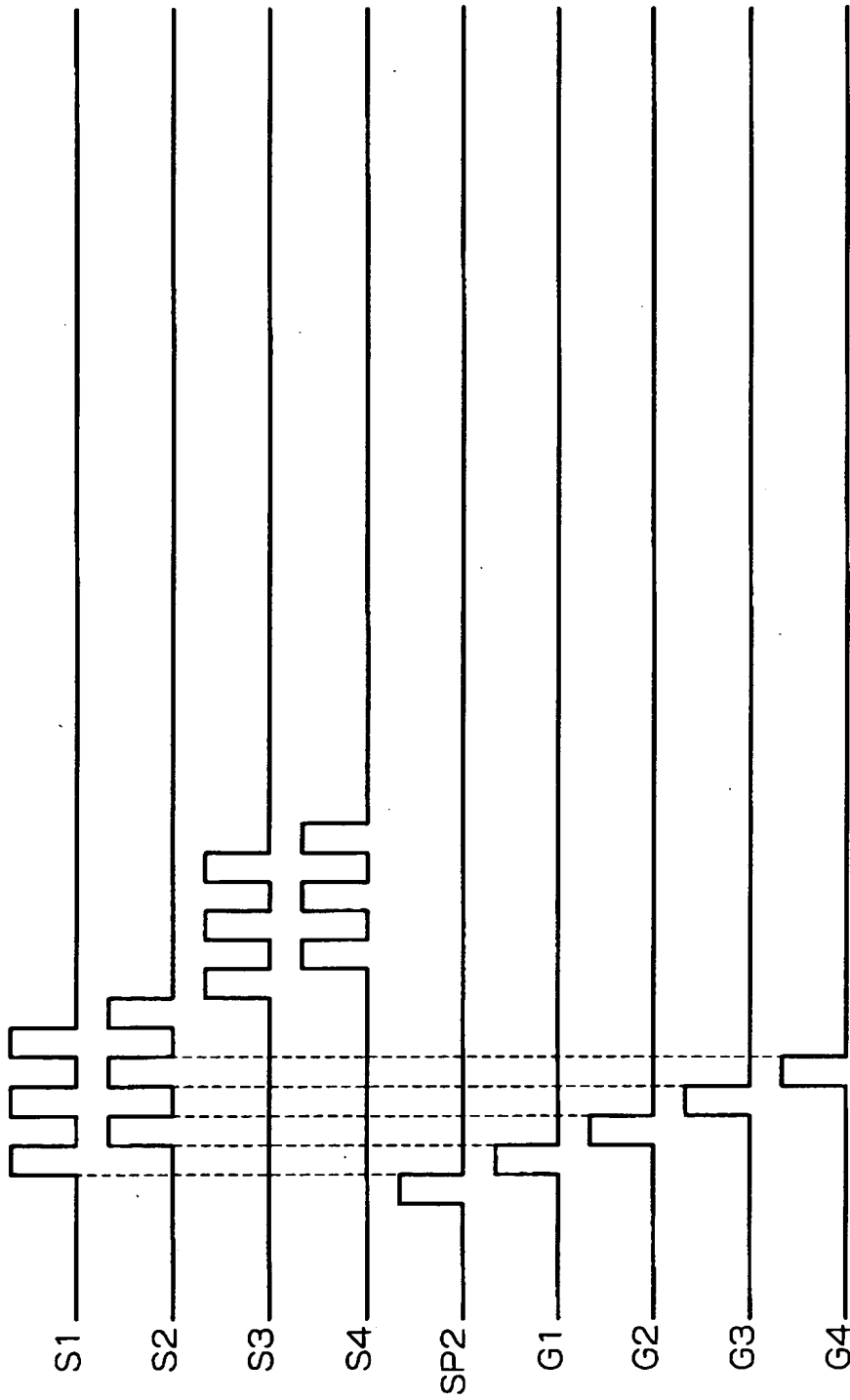


【図 15】

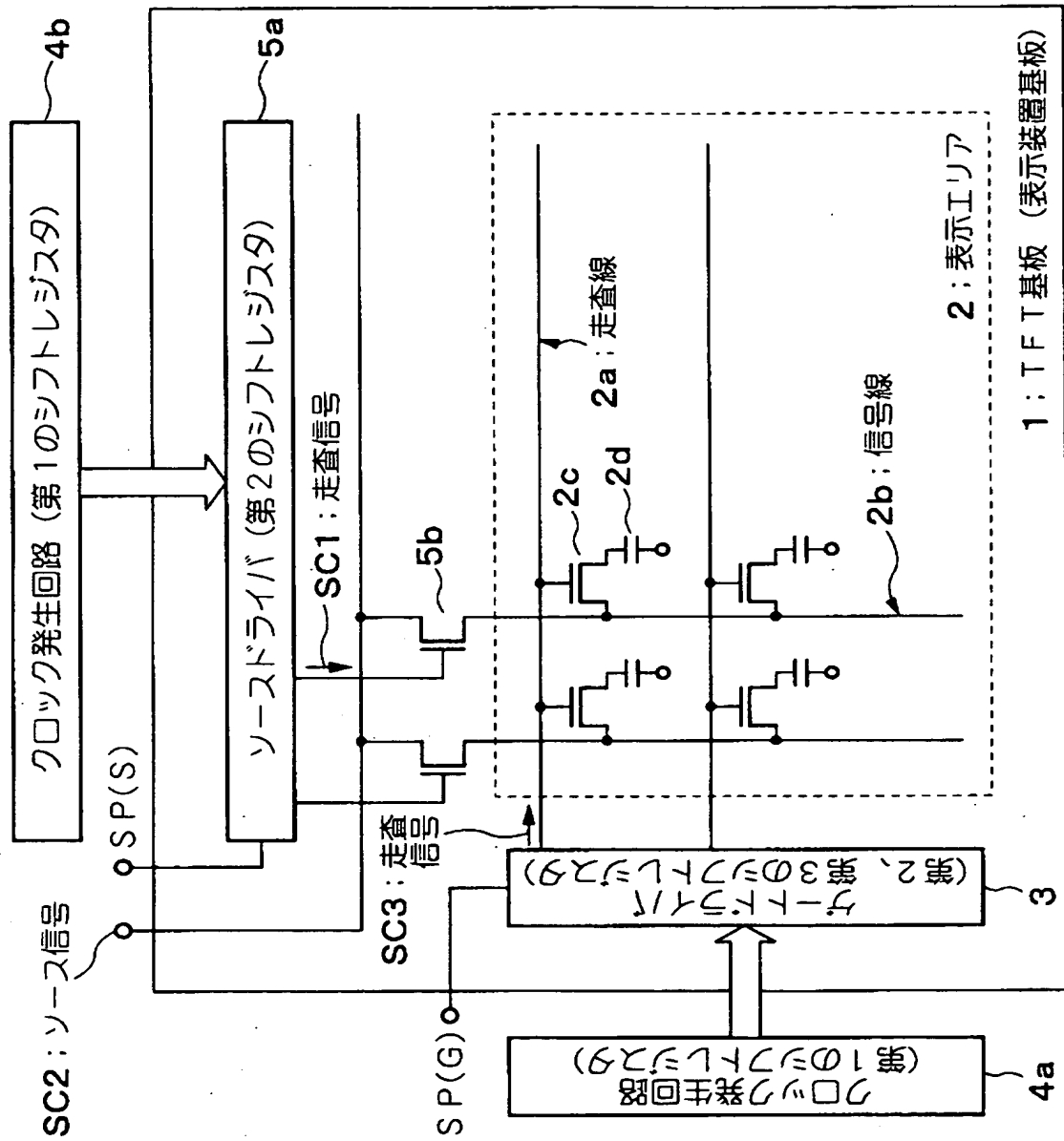




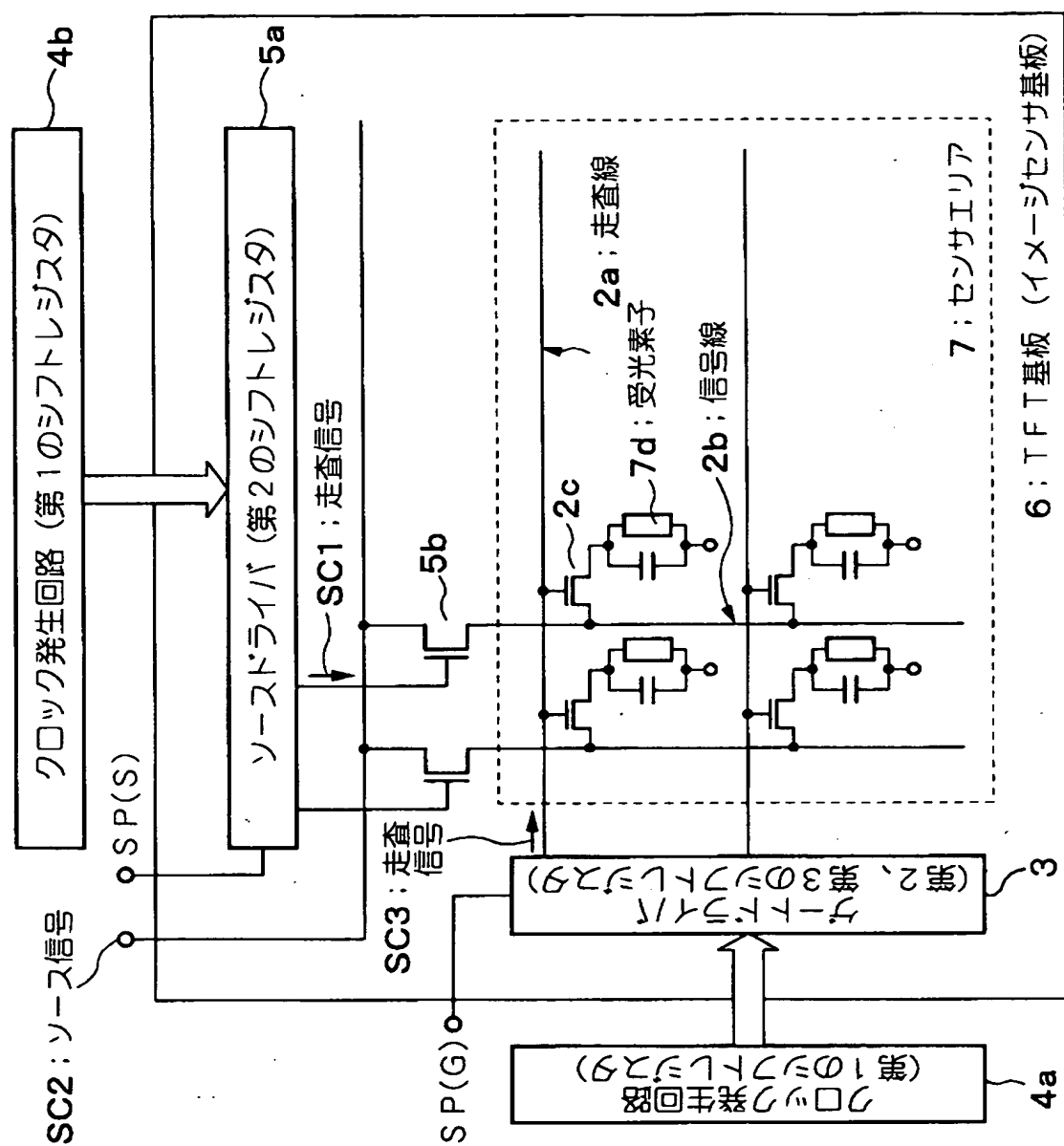
【図 16】



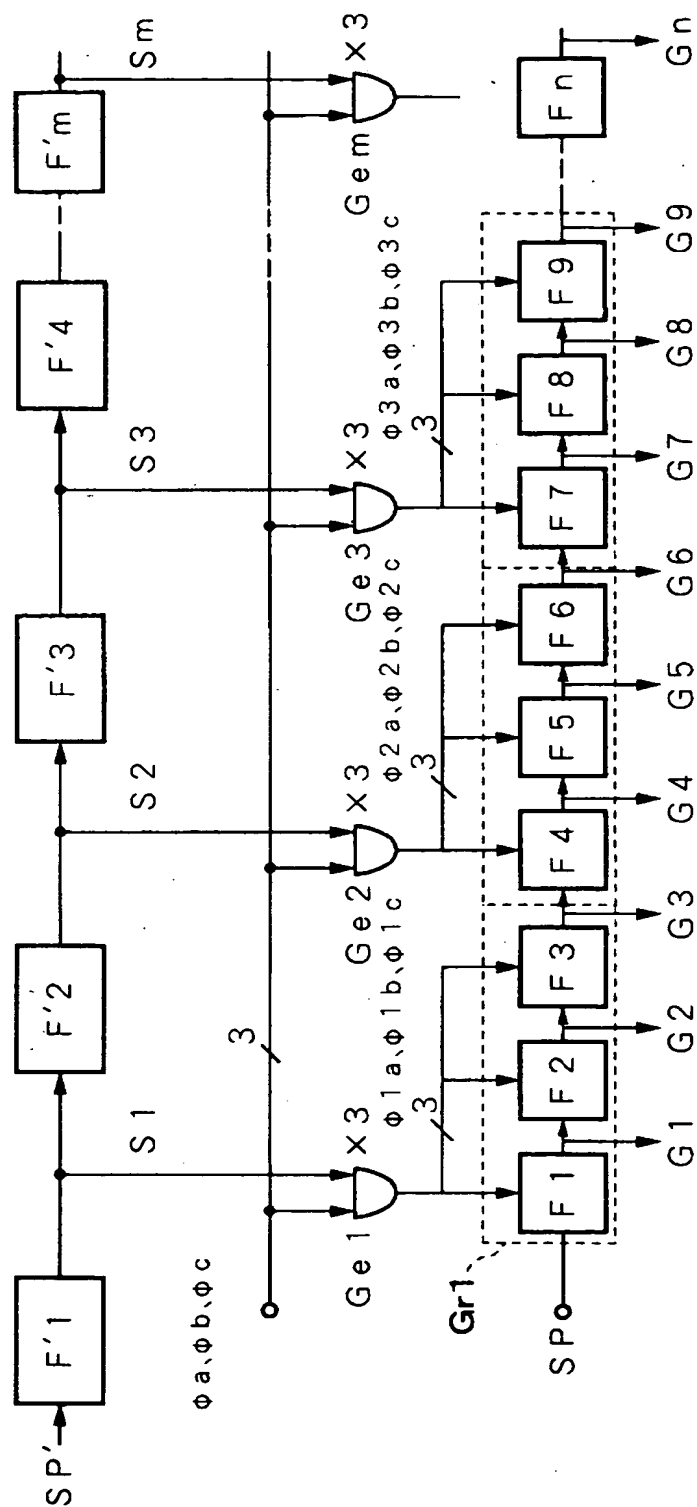
【図17】



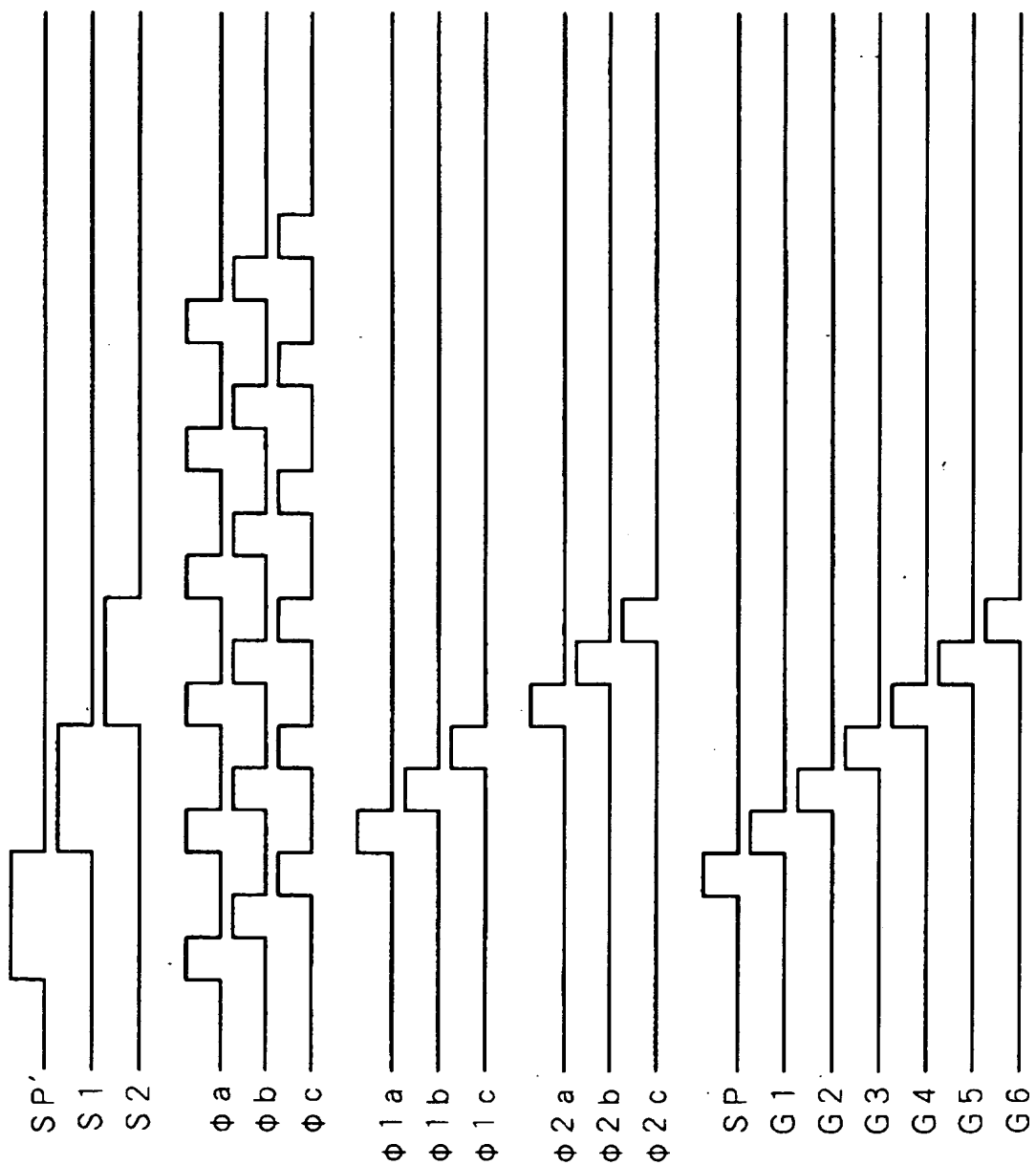
【图 18】



【図19】



【図 20】



【書類名】 要約書

【要約】

【課題】 第2のシフトレジスタに選択的にクロック信号を供給し、消費電力を低減させると共に、回路規模も小さく、また、トランジスタの信頼性が低下することもないシフトレジスタ回路を提供する。

【解決手段】 縦続接続された複数の段F' 1、F' 2、…を有する第1のシフトレジスタと、この第1のシフトレジスタより多くの段F 1、F 2、…を有する第2のシフトレジスタとを有し、前記第2のシフトレジスタが有する段F 1、F 2、…は、連続する段によって構成されるグループG r 1、G r 2、…に分けられ、前記第1のシフトレジスタが有する各段F' 1、F' 2、…は、第2のシフトレジスタ内の各グループG r 1、G r 2、…を構成する段F 1、F 2、…に、クロック信号S 1、S 2、…として、互いに位相が異なる、所定パルス数のみ連続するパルス列を出力する構成とした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2001-208160
受付番号	50101005414
書類名	特許願
担当官	第一担当上席 0090
作成日	平成13年 7月17日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000010098

【住所又は居所】 東京都大田区雪谷大塚町1番7号

【氏名又は名称】 アルプス電気株式会社

【代理人】 申請人

【識別番号】 100064908

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	鈴木 三義
【選任した代理人】	
【識別番号】	100107836
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	西 和哉
【選任した代理人】	
【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦



出 願 人 履 歴 情 報

識別番号 [000010098]

1. 変更年月日 1990年 8月27日  
[変更理由] 新規登録  
住 所 東京都大田区雪谷大塚町1番7号  
氏 名 アルプス電気株式会社